

## SEMICONDUCTOR STORAGE DEVICE

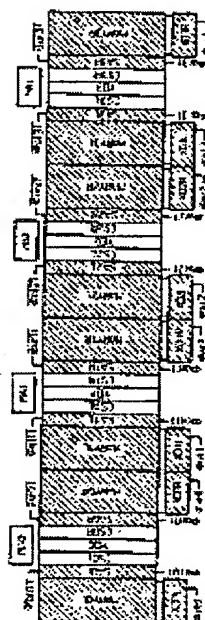
Patent number: JP2187987  
Publication date: 1990-07-24  
Inventor: SATO KATSUYUKI; others: 06  
Applicant: HITACHI LTD; others: 01  
Classification:  
- international: G11C11/403; G11C11/401; H01L27/108  
- european:  
Application number: JP19890008034 19890117  
Priority number(s):

**BEST AVAILABLE COPY**

### Abstract of JP2187987

**PURPOSE:** To contrive the realization of low power consumption by setting the number of simultaneous selection of word lines in a self-refresh mode of a pseudo static type RAM, etc., to integer multiple of a regular mode and setting a refresh period in the self-refresh mode to integer multiple.

**CONSTITUTION:** At the time of a self-refresh mode, eight pieces of memory arrays MARYOL-3L and OR-3R corresponding to all memory mats MAT0-3 are brought to operating state simultaneously, and refresh operations of eight pieces of word lines are executed simultaneously, executed autonomously and periodically by four folds of a prescribed refresh period, and a refresh address counter RFC is updated each time. The lower 2 bits of the counter RFC is fixed to logic '0', and only the upper 9 bits are updated. In such a way, the number of times of a refresh operation per unit time in a self-refresh mode of a pseudo static type RAM is curtailed, by which an average operating current is curtailed remarkably and low power consumption can be realized.



⑨ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-187987

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月24日

G 11 C 11/403

8522-5B  
8522-5B

G 11 C 11/34

3 7 1 J  
K※

審査請求 未請求 請求項の数 18 (全47頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平1-8034

⑰ 出 願 平1(1989)1月17日

⑱ 発 明 者 佐 藤 克 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑲ 発 明 者 梶 本 毅 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア  
イエンジニアリング株  
式会社 東京都小平市上水本町5丁目20番1号

㉒ 代 理 人 弁理士 徳若 光政  
最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 指定されるワード線が択一的に選択状態とされることによって選択的に動作状態とされる複数のメモリアレイと、リフレッシュ動作を実行すべきアドレスを順次指定するリフレッシュアドレスカウンタとを具備し、かつ、通常の書き込み及び読み出しモードに加えて、上記リフレッシュアドレスカウンタを単発的に更新し対応するアドレスに関するリフレッシュ動作を実行するオートリフレッシュモードと、上記リフレッシュアドレスカウンタを自律的に更新し対応する複数のアドレスに関するリフレッシュ動作を順次断続的に実行するセルフリフレッシュモードとを有するものであって、上記セルフリフレッシュモードにおいて同時に動作状態とされる上記メモリアレイの数が、上記通常の書き込み及び読み出しモードならびにオートリフレ

ッシュモードにおいて同時に動作状態とされる上記メモリアレイの数に比較して多くされることを特徴とする半導体記憶装置。

2. 上記半導体記憶装置は、さらに、上記メモリアレイに対応して設けられる複数のセンスアンプを具備するものであり、上記センスアンプのそれぞれは、対応する上記メモリアレイのデータ線に対応して設けられる複数の単位増幅回路と、第1の共通ソース線を介して上記単位増幅回路に第1の電源電圧を供給する複数の第1の駆動M I S F E Tと、第2の共通ソース線を介して上記単位増幅回路に第2の電源電圧を供給する複数の第2の駆動M I S F E Tとを含むものであって、上記第1及び第2の駆動M I S F E Tは、上記通常の書き込み及び読み出しモードならびにオートリフレッシュモードにおいてそれぞれ所定の時間をおいて順次オン状態とされ、上記セルフリフレッシュモードにおいてその一部がそれぞれ部分的にオン状態とされるものであることを特徴とする特許請求の範囲第1

項記載の半導体記憶装置。

3. 上記セルフリフレッシュモードにおいて部分的にオン状態とされる上記第1及び第2の駆動MISFETは、上記センスアンプあたりそれぞれ1個であって、かつ、それぞれ所定の時間において順次オン状態とされるものであることを特徴とする特許請求の範囲第2項記載の半導体記憶装置。
4. 上記センスアンプに対応して設けられる上記第1の駆動MISFETの数は、対応して設けられる上記第2の駆動MISFETの数に比較して多くされるものであることを特徴とする特許請求の範囲第2項又は第3項記載の半導体記憶装置。
5. 上記リフレッシュアドレスカウンタは、上記オートリフレッシュモードにおいてその全ビットが有効とされ、上記セルフリフレッシュモードにおいてその一部のビットが部分的に無効とされるものであることを特徴とする特許請求の範囲第1項、第2項、第3項又は第4項記載の

成し上記セルフリフレッシュモードにおいてその動作が選択的に停止される第2の電圧発生回路とを含む基板バックバイアス電圧発生回路を具備するものであることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項又は第6項記載の半導体記憶装置。

8. 上記第1の電圧発生回路は、上記第2の電圧発生回路に比較してその電流供給能力が大きくされることを特徴とする特許請求の範囲第7項記載の半導体記憶装置。

9. 上記半導体記憶装置は、擬似スタティック型RAMであることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項、第6項、第7項又は第8項記載の半導体記憶装置。

10. 指定されるワード線が択一的に選択状態とされることによって選択的に動作状態とされかつ第1の動作モードにおいて所定数ずつ同時に動作状態とされ第2の動作モードにおいて上記所定数より多い他の所定数ずつ同時に動作状態とされる複数のメモリアレイと、所定のブースト

半導体記憶装置。

6. 上記半導体記憶装置は、上記セルフリフレッシュモードが識別される当初において1回のリフレッシュ動作を実行し、その後所定の間隔において周期的にリフレッシュ動作を実行するものであって、かつ、上記セルフリフレッシュモードにおいて周期的にリフレッシュ動作を起動しまた上記リフレッシュアドレスカウンタを更新するためのセルフリフレッシュタイマー回路を含むものであることを特徴とする特許請求の範囲第5項記載の半導体記憶装置。

7. 上記半導体記憶装置は、さらに、基板バックバイアス電圧をモニタし上記セルフリフレッシュモードにおいてその動作が選択的に停止されるレベル検出回路と、上記レベル検出回路の出力信号が有効とされるときあるいは上記セルフリフレッシュモードにおいてリフレッシュ動作が実行されるとき選択的に動作状態とされ上記基板バックバイアス電圧を形成する第1の電圧発生回路と、上記基板バックバイアス電圧を形

容量を含む回路の電源電圧より高い所定のブーストレベルとされるワード線選択タイミング信号を形成する信号発生回路と、上記メモリアレイに対応して設けられ対応する上記メモリアレイの指定されるワード線に上記ワード線選択タイミング信号を択一的に伝達する複数のXアドレスデコードとを具備するものであって、上記複数のXアドレスデコードに上記ワード線選択タイミング信号を伝達するための信号線と回路の接地電位との間に、上記第1の動作モードにおいて選択的に結合されるダミー容量が設けられることを特徴とする半導体記憶装置。

11. 上記ダミー容量は、上記第1の動作モードにおいて同時に選択状態とされるワード線の寄生容量値と、上記第2の動作モードにおいて同時に選択状態とされるワード線の寄生容量値との差に相当する静電容量値を有するものであることを特徴とする特許請求の範囲第10項記載の半導体記憶装置。

12. 上記第1の動作モードは、通常の書き込み又

は読み出しモードあるいはオートリフレッシュモードであって、上記第2の動作モードは、セルフリフレッシュモードであることを特徴とする特許請求の範囲第10項又は第11項記載の半導体記憶装置。

13. 上記半導体記憶装置は、擬似スタティック型RAMであることを特徴とする特許請求の範囲第10項、第11項又は第12項記載の半導体記憶装置。
14. 複数のボンディングパッドを有し、かつ上記ボンディングパッドが半導体基板面の各隅に近接する位置を避けて配置されることを特徴とする半導体記憶装置。
15. 上記半導体基板面の隅に近接する位置には、上記半導体記憶装置を構成する所定の回路ブロックが形成されることを特徴とする特許請求の範囲第14項記載の半導体記憶装置。
16. 複数のボンディングパッドを有し、かつ上記ボンディングパッドが半導体基板面の側辺の中央に近接する位置を避けて配置されることを特

徴とする半導体記憶装置。

17. 上記半導体記憶装置は、上記半導体基板面の上下又は左右に分割して配置される複数のメモリアレイと、その一部が上記半導体基板面の中央部に上記複数のメモリアレイにはさまれて配置される周辺回路とを備えるものであって、上記半導体基板面の側辺の中央に近接する位置には、上記周辺回路の他の一部が配置されることを特徴とする特許請求の範囲第16項記載の半導体記憶装置。
18. 半導体基板面の側辺にそって配置される複数のボンディングパッドと、上記ボンディングパッドに隣接又は近接して配置され対応する上記ボンディングパッドを介して入力される入力信号を受け取る入力バッファ及び／又は対応する上記ボンディングパッドを介して出力される出力信号を送出する出力バッファとを具備することを特徴とする半導体記憶装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、擬似スタティック型RAM（ランダムアクセスメモリ）等を利用して特に有効な技術に関するものである。

(従来の技術)

高集積化が可能なダイナミック型RAMを基本構成とし、かつ通常のスタティック型RAMと互換性のあるインタフェースを持つように設計された擬似スタティック型RAMがある。擬似スタティック型RAMは、通常の書き込み及び読み出しモードに加えて、外部制御によってリフレッシュ動作を単発的に実行するオートリフレッシュモードと、例えばバッテリバックアップ時においてリフレッシュ動作を自律的にかつ周期的に実行するセルフリフレッシュモードとを有し、これらのオートリフレッシュ及びセルフリフレッシュモードにおいてリフレッシュ動作を実行すべきアドレスを順次指定するリフレッシュアドレスカウンタを内蔵する。

一方、ダイナミック型RAMや上記擬似スタテ

ィック型RAM等の低消費電力化を図る一つの方法として、メモリアレイをデータ線の延長方向に分割し、これらを選択的に動作状態とするアレイ分割方式がある。さらに、NチャンネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等のMISFET (Metal Insulator Semiconductor FET) からなるダイナミック型メモセルを用いたダイナミック型RAMや擬似スタティック型RAM等において、半導体基板に適当な負の基板バックバイアス電圧を供給することで各回路素子の接合容量を制御し、動作の安定化を図る方法が知られている。このとき、ダイナミック型RAMや擬似スタティック型RAM等は、回路の電源電圧をもとに上記基板バックバイアス電圧を形成する基板バックバイアス電圧発生回路を内蔵する。

オートリフレッシュモード及びセルフリフレッシュモードを有しかつアレイ分割方式を採る擬似スタティック型RAMについて、例えば、1987年3月、日立製作所発行の「日立ICメモリ

データブック、第229頁～第234頁に記載されている。また、基板バックバイアス電圧発生回路を内蔵するダイナミック型RAMについて、例えば、特開昭61-065729号公報等に記載されている。

(発明が解決しようとする課題)

上記に記載されるようなアレイ分割方式を採る従来の擬似スタティック型RAM等において、同時に動作状態とされるメモリアレイ言い換えると同時に選択状態とされるワード線の数は、許容しうる消費電力ならびに必要とされるリフレッシュ周期等に従って選定され、動作モードに関係なく同数とされる。

一方、擬似スタティック型RAM等のセルフリフレッシュモードにおけるメモリアレイの平均動作電流は、同時に選択状態とされるワード線の数すなわちリフレッシュ周期に関係なくほぼ一定であるが、アドレスデコーダ等を含むメモリアレイ周辺回路の平均動作電流は、リフレッシュ周期の逆数すなわちリフレッシュ動作回数にほぼ比例し

ード線に伝達されるワード線選択タイミング信号に対する負荷量が増大し、所定のブーストレベルが得られない。

(3)動作モードに応じてリフレッシュアドレスカウンタの歩進モードを変化させる必要が生じ、このためにリフレッシュアドレスカウンタの下位ビットをセルフリフレッシュモードにおいて選択的に無効とする方法を探らざるを得ないが、ある時間継続されるオートリフレッシュモードを繰り返す場合、あるいはオートリフレッシュモードとセルフリフレッシュモードをある周期で繰り返した場合、リフレッシュアドレスカウンタが正常に歩進されない。

一方、上記擬似スタティック型RAM等に内蔵される基板バックバイアス電圧発生回路は、その動作電流を削減する意味から、比較的大きな電流供給能力を有し擬似スタティック型RAMが選択状態とされるときあるいは基板バックバイアス電圧をモニタするレベル検出回路の出力信号が有効とされるとき選択的に動作状態とされる第1の電

て大きくなる。つまり、擬似スタティック型RAMのセルフリフレッシュモードにおける動作電流は、同時に選択状態とされるワード線の数によって左右され、その結果、バッテリバックアップ時等における擬似スタティック型RAM等の低消費電力化が制限される。

これに対処するため、本願発明者等は、セルフリフレッシュモードにおいて同時に選択状態とされるワード線の数を、通常の書き込み及び読み出しモードならびにオートリフレッシュモードの整数倍とすることを考えたが、これにともなって次のようないくつかの問題点が生じた。すなわち、  
(1)ワード線の同時選択数すなわち同時に動作状態とされるメモリアレイの数が増えることで、同時に動作状態とされるセンスアンプの数が増え、相応して動作電流のピーク値が大きくなる。その結果、電源ノイズが増大し、擬似スタティック型RAM等の動作マージンが低下する。

(2)同時に選択状態とされるワード線数が動作モードによって変化することで、選択状態とされるワ

ード線に伝達されるワード線選択タイミング信号に対する負荷量が増大し、所定のブーストレベルが得られない。  
(3)動作モードに応じてリフレッシュアドレスカウンタの歩進モードを変化させる必要が生じ、このためにリフレッシュアドレスカウンタの下位ビットをセルフリフレッシュモードにおいて選択的に無効とする方法を探らざるを得ないが、ある時間継続されるオートリフレッシュモードを繰り返す場合、あるいはオートリフレッシュモードとセルフリフレッシュモードをある周期で繰り返した場合、リフレッシュアドレスカウンタが正常に歩進されない。

(4)擬似スタティック型RAM等のセルフリフレッシュモードにおける低消費電力化が、上記レベル検出回路及び第2の電圧発生回路の動作電流によって制限される。

という問題が生じた。

この発明の第1の目的は、擬似スタティック型RAM等のセルフリフレッシュモードにおけるワード線の同時選択数を最適化することにある。

この発明の第2の目的は、ワード線の同時選択数を最適化することにもなう電源ノイズの増大を抑制することにある。

この発明の第3の目的は、擬似スタティック型

R A Mの動作モードによってワード線の同時選択数が異なることによるワード線のブーストレベルの変化を抑制することにある。

この発明の第4の目的は、擬似スタティック型R A Mの動作モードによってその歩進モードが変化するリフレッシュアドレスカウンタの誤動作を防止することにある。

この発明の第5の目的は、擬似スタティック型R A M等に内蔵される基板バックバイアス電圧発生回路を効率的に動作状態とし、その動作電流を削減することにある。

この発明のさらなる目的は、セルフリフレッシュモードを有しかつ基板バックバイアス電圧発生回路を内蔵する擬似スタティック型R A M等の動作を安定化しつつ、その低消費電力化を推進することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかにするであろう。

(課題を解決するための手段)

比較的大きな電流供給能力を有し通常の動作モード及びオートリフレッシュモードにおいて上記レベル検出回路の出力信号が有効とされるときあるいはセルフリフレッシュモードにおいてリフレッシュ動作が実行される時選択的に動作状態とされる第1の電圧発生回路と、比較的小きな電流供給能力を有しセルフリフレッシュモードにおいて選択的にその動作が停止される第2の電圧発生回路とにより構成するものである。

(作 用)

上記した手段によれば、擬似スタティック型R A Mのセルフリフレッシュモードにおけるワード線の同時選択数を最適化し、その平均消費電力を大幅に削減できる。また、ワード線の同時選択数の最適化にともなう動作電流のピーク値を抑え、ワード線の同時選択数が増加することによるワード線のブーストレベルの変化を抑制できるとともに、リフレッシュアドレスカウンタの誤動作を防止し、セルフリフレッシュモードにおける基板バックバイアス電圧発生回路の動作電流を削減で

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、擬似スタティック型R A M等のセルフリフレッシュモードにおけるワード線の同時選択数を、通常の動作モード及びオートリフレッシュモードの整数倍とし、相応してセルフリフレッシュモードにおけるリフレッシュ周期を整数倍とする。このとき、各センスアンプに対応して設けられる複数の駆動M O S F E Tを部分的にオン状態とし、さらに部分的にオン状態とされる駆動M O S F E Tを所定の時間において順次オン状態とする。また、ワード線選択タイミング信号を伝達する信号線と回路の接地電位との間に、セルフリフレッシュモードにおいて選択的に結合されるダミー容量を設けるとともに、セルフリフレッシュモードが識別される当初において1回のリフレッシュ動作を実行する。そして、擬似スタティック型R A M等に内蔵される基板バックバイアス電圧発生回路を、セルフリフレッシュモードにおいて選択的にその動作が停止されるレベル検出回路と、

きる。これにより、擬似スタティック型R A M等の動作を安定化しつつ、その低消費電力化を推進することができる。

(実施例)

第5図には、この発明が適用された擬似スタティック型R A Mの一実施例のブロック図が示されている。また、第1図及び第2図には、第5図の擬似スタティック型R A Mの選択状態を説明するための概念図が示され、第3図及び第4図には、第5図の擬似スタティック型R A Mの平均動作電流を説明するための概念図が示されている。さらに、第6図ないし第9図には、第5図の擬似スタティック型R A Mのタイミング発生回路T Gの一実施例の部分的な回路図が示され、第10図には、そのタイミング図の一例が示されている。また、第11図ならびに第12図には、第5図の擬似スタティック型R A MのメモリアレイM A R Y 0 LとセンスアンプS A 0 L及びカラムスイッチC SならびにブリッジアドレスデコーダP X D及びXアドレスデコーダX D 0 Lの一実施例の部分的な回

路図がそれぞれ示され、第13図及び第14図には、第12図のグリXアドレスデコードPXD及びXアドレスデコードXDOL等の選択状態を説明するための概念図が示されている。加えて、第15図ならびに第17図には、第5図の擬似スタティック型RAMのリフレッシュアドレスカウンタRFCならびに基板バックバイアス電圧発生回路V<sub>BC</sub>の一実施例の部分的な回路図がそれぞれ示され、第16図ならびに第18図には、第15図のリフレッシュアドレスカウンタRFCならびに第17図の基板バックバイアス電圧発生回路V<sub>BC</sub>のタイミング図の一例がそれぞれ示されている。また、第19図には、第5図の擬似スタティック型RAMの半導体基板上における一実施例の配置図が示されている。これらの図をもとに、この実施例の擬似スタティック型RAMの構成と動作の概要ならびにその特徴について説明する。なお、各回路図に示される回路素子ならびに第5図の各ブロックを構成する回路素子は、特に制限されないが、単結晶シリコンのような1個の半導

体基板上において形成される。また、各回路図において、チャンネル（バックゲート）部に矢印が付加されるMOSFETはPチャンネル型であり、矢印の付加されないNチャンネルMOSFETと区別して示される。

この実施例の擬似スタティック型RAMは、ダイナミック型RAMを基本構成とし、そのメモリアレイがいわゆる1素子型のダイナミック型メモリセルにより構成されることで、回路の高集積化と低消費電力化が図られる。また、Xアドレス信号AX0～AX10及びYアドレス信号AY0～AY7がそれぞれ別個の外部端子を介して入力され、制御信号としてチップイネーブル信号CE、ライトイネーブル信号WE及び出力イネーブル信号OEが設けられることで、通常のスタティック型RAMと互換性のある入出力インタフェースを持つものとされる。さらに、擬似スタティック型RAMは、外部制御によりリフレッシュ動作を単発的に実行するオートリフレッシュモードと、複数のワード線に関するリフレッシュ動作を自律的

にかつ所定の周期で断続的に実行するセルフリフレッシュモードとを有し、リフレッシュすべきアドレスを順次指定するためのリフレッシュアドレスカウンタRFCを内蔵する。

この実施例において、上記出力イネーブル信号OEは、特に制限されないが、リフレッシュ制御信号RFSHとして兼用され、この出力イネーブル信号OEとライトイネーブル信号WEによって擬似スタティック型RAMの動作モードが設定される。すなわち、擬似スタティック型RAMは、チップイネーブル信号CEの立ち下がりエッジにおいて上記出力イネーブル信号OEがハイレベルとされるとき、通常の動作モードとされ、さらにこの時点でライトイネーブル信号WEがロウレベルであると書き込みモードとされ、ハイレベルであると読み出しモードとされる。この読み出しモードでは、上記出力イネーブル信号OEにより通常の出力制御が行われる。一方、擬似スタティック型RAMは、チップイネーブル信号CEがハイレベルのまま出力イネーブル信号OEが所定の期

間を超えることなく一時的にロウレベルとされることで、オートリフレッシュモードとされ、出力イネーブル信号OEが上記所定の期間を超えて連続してロウレベルとされることで、セルフリフレッシュモードとされる。その結果、擬似スタティック型RAMを含むシステムは、製品仕様として定められた所定の周期でオートリフレッシュモードによるリフレッシュ動作をおり込みつつ通常のメモリアクセスを実現し、例えば障害発生時等においてセルフリフレッシュモードによるバッテリバックアップを実現することができる。

さらに、この実施例の擬似スタティック型RAMは、メモリアレイが実質的にデータ線の延長方向に分割されてなる8個のメモリアレイMARY0L及びMARY0RないしMARY3L及びMARY3Rを備える。これらのメモリアレイは、対応するYアドレスデコードYD0～YD3をそれぞれはさむように配置され、これらのYアドレスデコードと対応するセンスアンプSA0L及びSA0RないしSA3L及びSA3Rならびにカ

ラムスイッチCS0L及びCS0RないしCS3L及びCS3Rとともに、4個のメモリマツMAT0～MAT3を構成する。特に制限されないが、メモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rは、後述するように、実際には対応するXアドレスデコードXD0L～XD3LならびにXD0R～XD3Rをはさむように上下に分割して配置される。

メモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rは、指定されるワード線が択一的に選択状態とされることで、選択的に動作状態とされる。この実施例において、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされる場合、特に制限されないが、第1図に例示的に示されるように、メモリマツMAT0及びMAT2あるいはMAT1及びMAT3の組み合わせで対応する2個のメモリアレイが同時に動作状態とされる。このとき、擬似スタティック型RAMが通常の動作モードであると、動作状態

とされる2個のメモリアレイからさらに4組のデータ線がそれぞれ選択され、対応するメインアンブMA0及びMA2あるいはMA1及びMA3に接続される。その結果、この実施例の擬似スタティック型RAMは、8ビットの記憶データを同時に入出力するいわゆる×8ビット構成のRAMとされる。擬似スタティック型RAMがオートリフレッシュモードとされる場合、動作状態とされる2個のメモリアレイにおいて、選択された合計2本のワード線に関するリフレッシュ動作が単発的に実行され、リフレッシュアドレスカウンタRFCが一つ更新される。

一方、擬似スタティック型RAMがセルフリフレッシュモードとされる場合、特に制限されないが、第2図に示されるように、すべてのメモリマツMAT0～MAT3に対応する8個のメモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rが一斉に動作状態とされ、各メモリアレイにおいて選択された合計8本のワード線に関するリフレッシュ動作が同時に実行さ

れる。これらのリフレッシュ動作は、製品仕様で定められたリフレッシュ周期の4倍の周期で自律的にかつ周期的に実行され、その都度、リフレッシュアドレスカウンタRFCが順次更新される。このセルフリフレッシュモードにおいて、特に制限されないが、リフレッシュアドレスカウンタRFCの下位2ビットが論理“0”に固定され、上記2ビットを除く上位9ビットのみが更新される。その結果、後述するように、擬似スタティック型RAMのセルフリフレッシュモードにおける単位時間あたりのリフレッシュ動作回数が削減され、平均動作電流が大幅に削減される。

第5図において、外部から起動制御信号として供給されるチップイネーブル信号 $\overline{CE}$ 、ライトイネーブル信号 $\overline{WE}$ 及び出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ は、タイミング発生回路TGに供給される。このタイミング発生回路TGには、後述するXアドレスバッファXABから、特に制限されないが、2ビットの相補内部アドレス信号 $\underline{a}x0$ 及び $\underline{a}x1$ （ここで、

例えば非反転内部アドレス信号 $a x 0$ と反転内部アドレス信号 $\overline{a x 0}$ をあわせて相補内部アドレス信号 $\underline{a} x 0$ のように表す。以下、相補信号について同様）が供給される。タイミング発生回路TGは、後述するように、上記チップイネーブル信号 $\overline{CE}$ 、ライトイネーブル信号 $\overline{WE}$ 及び出力イネーブル信号 $\overline{OE}$ ならびに相補内部アドレス信号 $\underline{a} x 0$ 及び $\underline{a} x 1$ をもとに、擬似スタティック型RAMの各回路ブロックの動作に必要な各種タイミング信号を形成する。

一方、外部から供給される11ビットのXアドレス信号AX0～AX10は、特に制限されないが、XアドレスバッファXABの一方の入力端子に供給され、8ビットのYアドレス信号AY0～AY7は、YアドレスバッファYABに供給される。XアドレスバッファXABの他方の入力端子には、リフレッシュアドレスカウンタRFCから11ビットのリフレッシュアドレス信号 $r x 0 \sim r x 10$ が供給される。さらに、XアドレスバッファXABには、タイミング発生回路TGからタ



イミング信号 $\phi r o i$ 及び $\phi x l$ が供給され、YアドレスバッファYABには、タイミング信号 $\phi y l$ が供給される。ここで、タイミング信号 $\phi r o i$ は、後述するように、擬似スタティック型RAMがオートリフレッシュ又はセルフリフレッシュモードで選択状態とされリフレッシュ動作が実行されるとき、選択的にハイレベルとされ、タイミング信号 $\phi x l$ 及び $\phi y l$ は、擬似スタティック型RAMが選択状態とされるとき、Xアドレス信号AX0~AX10又はリフレッシュアドレス信号rx0~rx10ならびにYアドレス信号AY0~AY7のレベルが確定される時点で、選択的にハイレベルとされる。

XアドレスバッファXABは、擬似スタティック型RAMが通常の書き込み又は読み出しモードで選択状態とされ上記タイミング信号 $\phi r o i$ がロウレベルとされるとき、外部端子を介して供給されるXアドレス信号AX0~AX10を上記タイミング信号 $\phi x l$ に従って取り込み、これを保持する。また、擬似スタティック型RAMがリフ

レッシュモードで選択状態とされ上記タイミング信号 $\phi r o i$ がハイレベルとされるとき、リフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号rx0~rx10を上記タイミング信号 $\phi x l$ に従って取り込み、これを保持する。XアドレスバッファXABは、さらにこれらのXアドレス信号AX0~AX10又はリフレッシュアドレス信号rx0~rx10をもとに、相補内部アドレス信号 $\underline{a}x0\sim\underline{a}x10$ を形成する。このうち、下位2ビットの相補内部アドレス信号 $\underline{a}x0$ 及び $\underline{a}x1$ は、前述のように、タイミング発生回路TGに供給され、次の2ビットの相補内部アドレス信号 $\underline{a}x2$ 及び $\underline{a}x3$ は、ワード線選択タイミング信号発生回路 $\phi x c$ に供給される。さらに、残り7ビットの相補内部アドレス信号 $\underline{a}x4\sim\underline{a}x10$ は、プリXアドレスデコードPX Dに供給される。

同様に、YアドレスバッファYABは、擬似スタティック型RAMが通常の書き込み又は読み出しモードで選択状態とされるとき、外部端子を介

して供給されるYアドレス信号AY0~AY7を上記タイミング信号 $\phi y l$ に従って取り込み、これを保持する。また、これらのYアドレス信号をもとに、相補内部アドレス信号 $\underline{a}y0\sim\underline{a}y7$ を形成する。これらの相補内部アドレス信号 $\underline{a}y0\sim\underline{a}y7$ は、特に制限されないが、プリYアドレスデコードPY Dに供給する。

擬似スタティック型RAMは、さらに、8ビットの入力又は出力データに対応して設けられる8個のデータ入出力端子D0~D7を備え、また、これらのデータ入出力端子に対応した8個の単位回路をそれぞれ含むデータ入力バッファDIB及びデータ出力バッファDOBを備える。データ入出力端子D0~D7は、データ入力バッファDIBの対応する単位回路の入力端子に結合されるとともに、データ出力バッファDOBの対応する単位回路の出力端子に結合される。データ入力バッファDIBには、タイミング発生回路TGからタイミング信号 $\phi i c$ が供給され、データ出力バッファDOBには、タイミング信号 $\phi o c$ が供給さ

れる。さらに、データ出力バッファDOBの下位4個の単位回路には、メインアンプMA0又はMA2から下位4ビットの内部読み出しデータdr0~dr3が供給され、データ出力バッファDOBの上位4個の単位回路には、メインアンプMA1又はMA3から上位4ビットの内部読み出しデータdr4~dr7が供給される。ここで、タイミング信号 $\phi i c$ は、特に制限されないが、擬似スタティック型RAMが通常の書き込みモードで選択状態とされるとき、データ入出力端子D0~D7を介して供給される入力データのレベルが確定される時点で、選択的にハイレベルとされる。また、タイミング信号 $\phi o c$ は、擬似スタティック型RAMが通常の読み出しモードで選択状態とされるとき、選択された8個のメモセルの読み出し信号のレベルが確定される時点で、選択的にハイレベルとされる。

データ入力バッファDIBは、擬似スタティック型RAMが通常の書き込みモードで選択状態とされるとき、データ入出力端子D0~D7を介し

て供給される入力データを上記タイミング信号  $\phi_{ic}$  に従って取り込み、これを保持する。また、これらの入力データをもとに、内部書き込みデータ  $d w 0 \sim d w 7$  を形成する。このうち、下位4ビットの内部書き込みデータ  $d w 0 \sim d w 3$  は、特に制限されないが、メインアンプ  $M A 0$  及び  $M A 2$  に共通に供給され、上位4ビットの内部書き込みデータ  $d w 4 \sim d w 7$  は、メインアンプ  $M A 1$  及び  $M A 3$  に共通に供給される。

データ出力バッファ  $D O B$  は、擬似スタティック型  $R A M$  が通常の読み出しモードで選択状態とされるとき、メインアンプ  $M A 0$  及び  $M A 2$  あるいは  $M A 1$  及び  $M A 3$  から供給される8ビットの内部読み出しデータ  $d r 0 \sim d r 7$  を上記タイミング信号  $\phi_{oc}$  に従って取り込み、これを保持する。また、これらの内部読み出しデータに従って8ビットの出力信号を形成し、データ入出力端子  $D 0 \sim D 7$  を介して外部に送出する。特に制限されないが、タイミング信号  $\phi_{oc}$  がロウレベルとされるとき、データ出力バッファ  $D O B$  の出力は

ハイインピーダンス状態とされる。

次に、擬似スタティック型  $R A M$  の他の回路ブロックの説明に先立って、タイミング発生回路  $T G$  の具体的な回路構成と各タイミング信号の時間関係について説明する。

タイミング発生回路  $T G$  は、特に制限されないが、チップイネーブル系タイミング発生部  $T C E$  とリフレッシュ系タイミング発生部  $T R F$  ならびにアレイ選択部  $A S L$  及びセンスアンプ制御部  $S A C$  を含む。このうち、チップイネーブル系タイミング発生部  $T C E$  は、第6図に示されるように、チップイネーブル信号  $\overline{C E}$  に対応して設けられウェイクアップ信号  $w k$  に従って選択的に有効とされる入力回路を含む。この入力回路を経て入力されるチップイネーブル信号  $\overline{C E}$  は、反転内部タイミング信号  $\phi_{c \bar{0}}$  として、ナンドゲート回路  $N A G 1$  の一方の入力端子に供給される。ナンドゲート回路  $N A G 1$  の他方の入力端子には、ラッチ  $L T 1$  の出力信号すなわち反転内部タイミング信号  $\phi_{p c \bar{0}}$  が供給される。反転内部タイミング信

号  $\phi_{p c \bar{0}}$  は、特に制限されないが、反転内部タイミング信号  $\phi_{s r \bar{0}}$  又は  $\phi_{s r c}$  あるいは  $\phi_{a r \bar{0}}$  のいずれかがロウレベルとされることで、選択的にロウレベルとされ、後述する反転内部タイミング信号  $\phi_{c \bar{0} 4}$  がロウレベルとされることで、ハイレベルに戻される。

ここで、タイミング発生回路  $T G$  のチップイネーブル系タイミング発生部  $T C E$  の説明を進めるに先立って、さらにタイミング発生回路  $T G$  のリフレッシュ系タイミング発生部  $T R F$  の構成と上記反転内部タイミング信号  $\phi_{s r \bar{0}}$ 、 $\phi_{s r c}$  及び  $\phi_{a r \bar{0}}$  について説明する。

タイミング発生回路  $T G$  のリフレッシュ系タイミング発生部  $T R F$  は、特に制限されないが、第7図に示されるように、出力イネーブル信号  $\overline{O E}$  すなわちリフレッシュ制御信号  $\overline{R F S H}$  に対応して設けられる入力回路を含む。この入力回路を経て入力される出力イネーブル信号  $\overline{O E}$  は、内部タイミング信号  $\phi_{o \bar{0}}$  として、ナンドゲート回路  $N A G 1 1$  の一方の入力端子に供給される。この

ナンドゲート回路  $N A G 1 1$  の他方の入力端子には、上述の反転内部タイミング信号  $\phi_{c \bar{0}}$  の反転信号が供給される。ナンドゲート回路  $N A G 1 1$  の出力信号は、所定の遅延回路を経た後、上述のタイミング信号  $\phi_{oc}$  として、データ出力バッファ  $D O B$  に供給される。その結果、タイミング信号  $\phi_{oc}$  は、上記反転内部タイミング信号  $\phi_{c \bar{0}}$  がロウレベルとされかつ内部タイミング信号  $\phi_{o \bar{0}}$  がハイレベルとされることを条件に、つまり出力イネーブル信号  $\overline{O E}$  がロウレベルとされるときすでにチップイネーブル信号  $\overline{C E}$  がロウレベルであることを条件に、所定のタイミングでハイレベルとされる。

一方、上記内部タイミング信号  $\phi_{o \bar{0}}$  は、反転内部タイミング信号  $\phi_{c \bar{0}}$  がハイレベルであることを条件に、すなわちチップイネーブル信号  $\overline{C E}$  がハイレベルであることを条件に、ラッチ  $L T 2$  を介して伝達され、これによって反転内部タイミング信号  $\phi_{r \bar{0}}$  がロウレベルとされる。反転内部タイミング信号  $\phi_{r \bar{0}}$  は、さらに所定の

遅延回路を順次伝達され、その結果、まず内部タイミング信号 $\phi r f 1$ がハイレベルとされ、やや遅れて反転内部タイミング信号 $\phi r f 2$ がロウレベルとされる。内部タイミング信号 $\phi r f 1$ 及び反転内部タイミング信号 $\phi r f 2$ は、ナンドゲート回路NAG12の第2及び第3の入力端子に供給される。このナンドゲート回路NAG12の第1の入力端子には、上記反転内部タイミング信号 $\phi c e 0$ が供給される。このため、ナンドゲート回路NAG12の出力信号すなわち反転内部タイミング信号 $\phi a r s$ が、反転内部タイミング信号 $\phi c e 1$ すなわちチップイネーブル信号 $\overline{CE}$ がハイレベルであることを条件に、内部タイミング信号 $\phi r f 1$ がハイレベルとされてから反転内部タイミング信号 $\phi r f 2$ がロウレベルとされるまでの間、一時的にロウレベルとされる。つまり、反転内部タイミング信号 $\phi a r s$ は、チップイネーブル信号 $\overline{CE}$ がハイレベルとされる状態で出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ がロウレベルとされることで、擬似スタ

ティック型RAMのオートリフレッシュモードが指定される当初において、一時的にロウレベルとされるものとなる。

擬似スタティック型RAMでは、さらに、上記内部タイミング信号 $\phi r f 1$ がハイレベルとされることで図示されないリフレッシュタイマー回路RTMの発振回路が起動され、反転タイミング信号 $\phi c e 2$ が所定の周期で一時的にロウレベルとされる。この反転タイミング信号 $\phi c e 2$ は、リフレッシュタイマー回路RTMのカウント回路によって計数され、その出力信号すなわち内部タイミング信号 $\phi t c f$ が、反転タイミング信号 $\phi c e 2$ の周期の整数倍の周期で一時的にハイレベルとされる。一方、上記反転内部タイミング信号 $\phi r f 2$ は、ラッチLT3に供給され、反転内部タイミング信号 $\phi c e 1$ 及び $\phi c e 3$ がともにハイレベルであることを条件に、これをセット状態とする。これにより、ラッチLT3の出力信号がハイレベルとされる。ラッチLT3の出力信号は、さらにラッチLT4に供給され、上記反転タイミング信

号 $\phi c e 2$ がロウレベルとされる時点で、その出力信号をロウレベルとする。ラッチLT4の出力信号は、反転内部タイミング信号 $\phi a e$ がハイレベルであることを条件に伝達され、その結果、反転タイミング信号 $\phi o r$ がロウレベルとされる。反転タイミング信号 $\phi o r$ は、さらに反転された後、セルフリフレッシュモードを指定するタイミング信号 $\phi s r$ として、擬似スタティック型RAMの各回路ブロックに供給される。つまり、擬似スタティック型RAMは、上記反転内部タイミング信号 $\phi r f 2$ すなわち出力イネーブル信号 $\overline{OE}$ が反転タイミング信号 $\phi c e 2$ の周期を超えて連続してロウレベルとされることで、セルフリフレッシュモードとされ、これによって、タイミング信号 $\phi o r$ がハイレベルとされ、反転タイミング信号 $\phi s r$ がロウレベルとされる。

この実施例において、擬似スタティック型RAMは、前述のように、出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ が反転タイミング信号 $\phi c e 2$ の周期を超えない期間だけ一時

的にロウレベルとされることで、オートリフレッシュモードとされ、また上記周期を超えて連続的にロウレベルとされることで、セルフリフレッシュモードとされる。このため、擬似スタティック型RAMのセルフリフレッシュモードが判定されるまでの間に、実質的に1回のオートリフレッシュモードが実行される結果となる。

上記タイミング信号 $\phi o r$ は、特に制限されないが、ナンドゲート回路NAG13の一方の入力端子にも供給される。このナンドゲート回路NAG13の他方の入力端子には、タイミング信号 $\phi s r$ の反転遅延信号が供給される。ナンドゲート回路NAG13の出力信号は、上記反転内部タイミング信号 $\phi o r s$ としてチップイネーブル系タイミング発生部TCEのラッチLT1に供給される。これにより、反転内部タイミング信号 $\phi o r s$ は、タイミング信号 $\phi o r$ がハイレベルとされてからその反転遅延信号がロウレベルとされるまでの間、つまり擬似スタティック型RAMのセルフリフレッシュモードが判定された当初において、

一時的にロウレベルとされる。

ところで、内部タイミング信号 $\phi_{r1}$ は、リフレッシュ系タイミング発生部TRFのラッチLT5にも供給され、この内部タイミング信号 $\phi_{r1}$ がハイレベルとされる間、上記リフレッシュタイマー回路RTMのカウント回路の出力信号すなわち内部タイミング信号 $\phi_{ic1}$ が、上記反転内部タイミング信号 $\phi_{src}$ として伝達される。前述のように、内部タイミング信号 $\phi_{ic1}$ は、上記反転タイミング信号 $\phi_{cl}$ の周期の整数倍の周期で一時的にハイレベルとされる。このため、反転内部タイミング信号 $\phi_{src}$ は、内部タイミング信号 $\phi_{r1}$ がハイレベルであることを条件に、すなわち擬似スタティック型RAMがセルフリフレッシュモードであることを条件に、内部タイミング信号 $\phi_{ic1}$ に同期して周期的にかつ一時的にロウレベルとされる。

リフレッシュ系タイミング発生部TRFは、さらに、上記反転内部タイミング信号 $\phi_{r10}$ の反転信号と上記反転内部タイミング信号 $\phi_{r12}$ と

レベルとされるものとなる。

第6図のチップイネーブル系タイミング発生部TCBの説明に戻ろう。反転内部タイミング信号 $\phi_{pc0}$ は、前述のように、反転内部タイミング信号 $\phi_{rs}$ 、 $\phi_{src}$ 又は $\phi_{ars}$ のいずれかがロウレベルとされることでロウレベルとされ、反転内部タイミング信号 $\phi_{c04}$ がロウレベルとされることでハイレベルに戻される。また、ナンドゲート回路NAG1の出力信号は、反転内部タイミング信号 $\phi_{c00}$ 又は反転内部タイミング信号 $\phi_{pc0}$ のいずれかがロウレベルとされることでハイレベルとされる。ナンドゲート回路NAG1の出力信号は、特に制限されないが、複数のインバータ回路が直列形態とされてなる複数の遅延回路に順次伝達され、これによって、反転内部タイミング信号 $\phi_{c01}$ 、 $\phi_{c02}$ 、 $\phi_{c03}$ 及び $\phi_{c04}$ が順次ロウレベルとされる。これらの反転内部タイミング信号は、擬似スタティック型RAMの動作を制御するための各種タイミング信号を形成するために用いられる。すなわち、例えば

を受けるナンドゲート回路NAG14と、このナンドゲート回路NAG14の出力信号と上記反転タイミング信号 $\phi_{sr}$ とを受けるナンドゲート回路NAG15を含む。ナンドゲート回路NAG15の出力信号は、反転された後、内部タイミング信号 $\phi_{x05}$ に従ってラッチLT6に取り込まれる。ラッチLT6の出力信号は、反転内部タイミング信号 $\phi_{re1}$ とされ、さらに反転された後、タイミング信号 $\phi_{re1}$ として上記XアドレスバッファXABに供給される。ここで、内部タイミング信号 $\phi_{x05}$ は、上記反転内部タイミング信号 $\phi_{c01}$ を所定の時間遅延させることによって形成される。これにより、タイミング信号 $\phi_{re1}$ は、擬似スタティック型RAMが選択状態とされ内部タイミング信号 $\phi_{x05}$ がハイレベルとされる時点において、オートリフレッシュモード又はセルフリフレッシュモードが判定されているとき、言い換えると、擬似スタティック型RAMがオートリフレッシュモード又はセルフリフレッシュモードで選択状態とされるとき、選択的にハイ

反転内部タイミング信号 $\phi_{c01}$ は、さらに反転された後、擬似スタティック型RAMの選択状態を返すタイミング信号 $\phi_{c01}$ として、後述する基板バックバイアス電圧発生回路V<sub>bg</sub>に供給される。また、反転内部タイミング信号 $\phi_{c03}$ は、ナンドゲート回路NAG4によって反転内部タイミング信号 $\phi_{c02}$ と組み合わせられた後、ワード線の駆動条件を与えるタイミング信号 $\phi_{wd}$ として、後述するワード線選択タイミング信号発生回路 $\phi_{xG}$ に供給される。言うまでもなく、タイミング信号 $\phi_{wd}$ は、反転内部タイミング信号 $\phi_{c03}$ がロウレベルとされてから反転内部タイミング信号 $\phi_{c02}$ がハイレベルに戻るまでの間、ハイレベルとされる。

つまり、この実施例の擬似スタティック型RAMは、チップイネーブル信号CEがロウレベルとされ、反転内部タイミング信号 $\phi_{c00}$ がロウレベルとされるとき、通常の書き込み又は読み出し動作を開始し、またチップイネーブル信号CEに先立って出力イネーブル信号OEすなわちリフレ

ッシュ制御信号  $\overline{RFSH}$  がロウレベルとされることでオートリフレッシュモードが指定される当初、また出力イネーブル信号  $\overline{OE}$  がさらに連続してロウレベルとされることでセルフリフレッシュモードが判定された当初、さらにはセルフリフレッシュモードが判定されかつリフレッシュタイマー回路  $RTM$  のカウンタ回路の出力信号すなわち内部タイミング信号  $\phi_{tc}$  が周期的にロウレベルとされるごとに、反転タイミング信号  $\overline{\phi_{pc}}$  が一時的にロウレベルとされるとき、リフレッシュ動作を開始するものとなる。

第6図において、上記反転内部タイミング信号  $\phi_{co2}$  は、反転された後、ナンドゲート回路  $NAG3$  の一方の入力端子に供給される。このナンドゲート回路  $NAG3$  の他方の入力端子には、上記反転内部タイミング信号  $\phi_{co3}$  の遅延信号が供給される。その結果、ナンドゲート回路  $NAG3$  の出力信号は、反転内部タイミング信号  $\phi_{co3}$  の遅延信号がロウレベルとされてから反転内部タイミング信号  $\phi_{co2}$  がハイレベルに戻される

他方の入力端子に供給される。ナンドゲート回路  $NAG6$  の出力信号は、3段のインバート回路を経て、内部タイミング信号  $\phi_{p1a}$  とされる。

同様に、内部タイミング信号  $\phi_{p1a}$  は、所定の遅延回路を経て、ナンドゲート回路  $NAG7$  の一方の入力端子に供給される。このナンドゲート回路  $NAG7$  の他方の入力端子には、上記タイミング信号  $\phi_{sr}$  が供給される。ナンドゲート回路  $NAG7$  の出力信号は、上記ナンドゲート回路  $NAG8$  の他方の入力端子に供給される。ナンドゲート回路  $NAG8$  の出力信号は、3段のインバート回路を経て、内部タイミング信号  $\phi_{p1b}$  とされる。さらに、内部タイミング信号  $\phi_{p1b}$  は、所定の遅延回路を経て、ナンドゲート回路  $NAG9$  の一方の入力端子に供給される。このナンドゲート回路  $NAG9$  の他方の入力端子には、上記タイミング信号  $\phi_{sr}$  が供給される。ナンドゲート回路  $NAG9$  の出力信号は、上記ナンドゲート回路  $NAG10$  の他方の入力端子に供給される。ナンドゲート回路  $NAG10$  の出力信号は、3段の

までの間、選択的にロウレベルとされる。

ナンドゲート回路  $NAG3$  の出力信号は、反転された後、内部タイミング信号  $\phi_{p1m}$  として、ナンドゲート回路  $NAG6$  及び  $NAG8$  ならびに  $NAG10$  の一方の入力端子に供給される。上記内部タイミング信号  $\phi_{p1m}$  は、特に制限されないが、2個のインバート回路を経て、内部タイミング信号  $\phi_{p1}$  となり、さらに複数の遅延回路を経て、順次内部タイミング信号  $\phi_{p2}$ 、 $\phi_{p3}$  及び  $\phi_{p4}$  となる。これらの内部タイミング信号  $\phi_{p2} \sim \phi_{p4}$  は、反転タイミング信号  $\overline{\phi_{sr}}$  がロウレベルとされるとき、言い換えると擬似スタティック型  $RAM$  がセルフリフレッシュモードとされるとき、形成されない。

一方、内部タイミング信号  $\phi_{p1}$  は、所定の遅延回路を経て、ナンドゲート回路  $NAG5$  の一方の入力端子に供給される。このナンドゲート回路  $NAG5$  の他方の入力端子には、タイミング信号  $\phi_{sr}$  が供給される。ナンドゲート回路  $NAG5$  の出力信号は、上記ナンドゲート回路  $NAG6$  の

インバート回路を経て、内部タイミング信号  $\phi_{p1c}$  とされる。

これらのことから、内部タイミング信号  $\phi_{p1a}$ 、 $\phi_{p1b}$  及び  $\phi_{p1c}$  は、擬似スタティック型  $RAM$  が通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされ、上記タイミング信号  $\phi_{sr}$  がロウレベルとされるとき、第10図の前半に示されるように、内部タイミング信号  $\phi_{p1m}$  すなわち内部タイミング信号  $\phi_{p1}$  とほぼ同相で形成される。また、擬似スタティック型  $RAM$  がセルフリフレッシュモードとされ上記タイミング信号  $\phi_{sr}$  がハイレベルとされるとき、第10図の後半に示されるように、内部タイミング信号  $\phi_{p1}$  から順次所定の時間だけ遅延して形成される。擬似スタティック型  $RAM$  がセルフリフレッシュモードとされ反転タイミング信号  $\overline{\phi_{sr}}$  がロウレベルとされるとき、上記内部タイミング信号  $\phi_{p2}$  ないし  $\phi_{p4}$  は、前述のように、ロウレベルのままとされる。

内部タイミング信号  $\phi_{p1} \sim \phi_{p4}$  ならびに  $\phi$

$\phi p1a$ ,  $\phi p1b$  及び  $\phi p1c$  は、タイミング発生回路TGのセンスアンプ制御部SACに供給される。センスアンプ制御部SACには、さらに上記タイミング信号 $\phi sr$ が供給され、またXアドレスバッファXABから相補内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  が供給される。

タイミング発生回路TGのセンスアンプ制御部SACは、特に制限されないが、第9図に示されるように、非反転内部アドレス信号 $ax0$  及び  $ax1$  ならびに反転内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  を所定の組み合わせで受けるナンドゲート回路NAG22及びNAG23等を含む。ナンドゲート回路NAG22の出力信号は、ナンドゲート回路NAG24の一方の入力端子に供給され、ナンドゲート回路NAG23の出力信号は、ナンドゲート回路NAG25の一方の入力端子に供給される。これらのナンドゲート回路NAG24及びNAG25の他方の入力端子には、タイミング信号 $\phi sr$ の反転信号すなわち反転タイミング信号 $\overline{\phi sr}$ が供給される。これにより、ナンドゲート

回路NAG24の出力信号すなわち内部信号 $s\#02$  は、反転内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  がともにハイレベルとされるとき、言い換えると相補内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  がともに論理“0”とされるとき、あるいは擬似スタティック型RAMがセルフリフレッシュモードとされ反転タイミング信号 $\overline{\phi sr}$ がロウレベルとされるとき、選択的にハイレベルとされる。同様に、ナンドゲート回路NAG25の出力信号すなわち内部信号 $s\#13$  は、反転内部アドレス信号 $\overline{a}x0$  及び非反転内部アドレス信号 $ax1$  がともにハイレベルとされるとき、言い換えると相補内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  がそれぞれ論理“0”及び論理“1”とされるとき、あるいは擬似スタティック型RAMがセルフリフレッシュモードとされ反転タイミング信号 $\overline{\phi sr}$ がロウレベルとされるとき、選択的にハイレベルとされる。

ナンドゲート回路NAG24及びNAG25の出力信号すなわち内部信号 $s\#02$  及び  $s\#13$  は、特に制限されないが、例えばナンドゲート回

路NAG26ないしNAG29等において、上記内部タイミング信号 $\phi p1 \sim \phi p4$  ならびに  $\phi p1a$ ,  $\phi p1b$  及び  $\phi p1c$  と組み合わせられ、これによって、反転タイミング信号 $\overline{\phi a\#01} \sim \overline{\phi a\#04}$  ないし  $\overline{\phi a\#31} \sim \overline{\phi a\#34}$  が選択的に形成される。同様に、上記内部信号 $s\#02$  及び  $s\#13$  は、例えばナンドゲート回路NAG30ないしNAG33等において、上記内部タイミング信号 $\phi p1$  及び  $\phi p2$  ならびに  $\phi p1a$ ,  $\phi p1b$  及び  $\phi p1c$  と組み合わせられ、これによって、タイミング信号 $\phi a\#01 \sim \phi a\#02$  ないし  $\phi a\#31 \sim \phi a\#32$  が選択的に形成される。その結果、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされる場合、第10図の前半に示されるように、まず反転タイミング信号 $\overline{\phi a\#01}$  と  $\overline{\phi a\#21}$  あるいは  $\overline{\phi a\#11}$  と  $\overline{\phi a\#31}$  ならびにタイミング信号 $\phi a\#01$  と  $\phi a\#21$  あるいは  $\phi a\#11$  と  $\phi a\#31$  が、相補内部アドレス信号 $\overline{a}x0$  及び  $\overline{a}x1$  に従って選択的に

それぞれ同時に形成され、続いて対応する反転タイミング信号 $\overline{\phi a\#02} \sim \overline{\phi a\#04}$  と  $\overline{\phi a\#22} \sim \overline{\phi a\#24}$  あるいは  $\overline{\phi a\#12} \sim \overline{\phi a\#14}$  と  $\overline{\phi a\#32} \sim \overline{\phi a\#34}$  ならびにタイミング信号 $\phi a\#02$  と  $\phi a\#22$  あるいは  $\phi a\#12$  と  $\phi a\#32$  が順次遅れてかつそれぞれ同時に形成される。一方、擬似スタティック型RAMがセルフリフレッシュモードとされる場合、第10図の後半に示されるように、まず反転タイミング信号 $\overline{\phi a\#01}$  及びタイミング信号 $\phi a\#01$  のみが形成され、続いて反転タイミング信号 $\overline{\phi a\#11}$  ないし  $\overline{\phi a\#31}$  ならびにタイミング信号 $\phi a\#11$  ないし  $\phi a\#31$  が、上記内部タイミング信号 $\phi p1a$  ないし  $\phi p1c$  にそれぞれ同期して、順次形成される。

タイミング発生回路TGのセンスアンプ制御部SACは、反転タイミング信号 $\overline{\phi ar01} \sim \overline{\phi ar04}$  ないし  $\overline{\phi ar31} \sim \overline{\phi ar34}$  ならびにタイミング信号 $\phi ar01$  及び  $\phi ar02$  ないし  $\phi ar31$  及び  $\phi ar32$  を形成する同様なもう一

組の回路を含む。これらの回路は、相補内部アドレス信号  $\overline{a x 0}$  が論理 "1" とされるとき選択的に有効とされ、上記と同様な条件で、反転タイミング信号  $\overline{\phi a r 0 1} \sim \overline{\phi a r 0 4}$  ないし  $\overline{\phi a r 3 1} \sim \overline{\phi a r 3 4}$  ならびにタイミング信号  $\phi a r 0 1$  及び  $\phi a r 0 2$  ないし  $\phi a r 3 1$  及び  $\phi a r 3 2$  を形成する。

後述するように、反転タイミング信号  $\overline{\phi a 2 0 1} \sim \overline{\phi a 2 0 4}$  は、センスアンプ  $S A 0 L$  の各単位増幅回路と回路の電源電圧との間に設けられるPチャンネル型の駆動MOSFET  $Q 1 \sim Q 4$  等にそれぞれ供給され、タイミング信号  $\phi a 2 0 1$  及び  $\phi a 2 0 2$  は、センスアンプ  $S A 0 L$  の各単位増幅回路と回路の接地電位との間に設けられるNチャンネル型の駆動MOSFET  $Q 8 7$  及び  $Q 8 8$  等にそれぞれ供給される。また、反転タイミング信号  $\overline{\phi a r 0 1} \sim \overline{\phi a r 0 4}$  は、センスアンプ  $S A 0 R$  の各単位増幅回路と回路の電源電圧との間に設けられるPチャンネル型の駆動MOSFETにそれぞれ供給され、タイミング信号  $\phi a r$

$0 1$  及び  $\phi a r 0 2$  は、センスアンプ  $S A 0 R$  の各単位増幅回路と回路の接地電位との間に設けられるNチャンネル型の駆動MOSFETにそれぞれ供給される。同様に、反転タイミング信号  $\overline{\phi a 2 1 1} \sim \overline{\phi a 2 1 4}$  ないし  $\overline{\phi a 2 3 1} \sim \overline{\phi a 2 3 4}$  は、対応するセンスアンプ  $S A 1 L$  ないし  $S A 3 L$  の各単位増幅回路と回路の電源電圧との間に設けられるPチャンネル型の駆動MOSFETにそれぞれ供給され、タイミング信号  $\phi a 2 1 1$  及び  $\phi a 2 1 2$  ないし  $\phi a 2 3 1$  及び  $\phi a 2 3 2$  は、対応するセンスアンプ  $S A 1 L$  ないし  $S A 3 L$  の各単位増幅回路と回路の接地電位との間に設けられるNチャンネル型の駆動MOSFETにそれぞれ供給される。また、反転タイミング信号  $\overline{\phi a r 1 1} \sim \overline{\phi a r 1 4}$  ないし  $\overline{\phi a r 3 1} \sim \overline{\phi a r 3 4}$  は、対応するセンスアンプ  $S A 1 R$  ないし  $S A 3 R$  の各単位増幅回路と回路の電源電圧との間に設けられるPチャンネル型の駆動MOSFETにそれぞれ供給され、タイミング信号  $\phi a r 1 1$  及び  $\phi a r 1 2$  ないし  $\phi a r 3 1$  及び  $\phi a r 3 2$  は、

対応するセンスアンプ  $S A 1 R$  ないし  $S A 3 R$  の各単位増幅回路と回路の接地電位との間に設けられるNチャンネル型の駆動MOSFETにそれぞれ供給される。

タイミング発生回路TGのアレイ選択部ASLは、特に制限されないが、第8図に示されるように、上記非反転内部アドレス信号  $a x 0$  及び  $a x 1$  ならびに反転内部アドレス信号  $\overline{a x 0}$  及び  $\overline{a x 1}$  を所定の組み合わせで受ける4個のノアゲート回路  $N O G 2$  ないし  $N O G 5$  を含む。これらのノアゲート回路の出力信号は、対応するノアゲート回路  $N O G 6$  ないし  $N O G 9$  の一方の入力端子に供給される。ノアゲート回路  $N O G 6$  ないし  $N O G 9$  の他方の入力端子には、上記タイミング信号  $\phi s r$  が供給される。ノアゲート回路  $N O G 6$  及び  $N O G 7$  の出力信号は、反転された後、タイミング信号  $\phi x 2 0$  及び  $\phi x 2 2$  ならびに  $\phi x 2 1$  及び  $\phi x 2 3$  とされる。同様に、ノアゲート回路  $N O G 8$  及び  $N O G 9$  の出力信号は、反転された後、タイミング信号  $\phi x r 0$  及び  $\phi x r 2$  ならび

に  $\phi x r 1$  及び  $\phi x r 3$  とされる。

これにより、タイミング信号  $\phi x 2 0 \sim \phi x 2 3$  ならびに  $\phi x r 0 \sim \phi x r 3$  は、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされ上記タイミング信号  $\phi s r$  がロウレベルとされるとき、相補内部アドレス信号  $\overline{a x 0}$  及び  $\overline{a x 1}$  に従って選択的に、かつ  $\phi x 2 0$  と  $\phi x 2 2$  又は  $\phi x 2 1$  と  $\phi x 2 3$  あるいは  $\phi x r 0$  と  $\phi x r 2$  又は  $\phi x r 1$  と  $\phi x r 3$  なる組み合わせでそれぞれ同時にハイレベルとされる。擬似スタティック型RAMがセルフリフレッシュモードとされ上記タイミング信号  $\phi s r$  がハイレベルとされるとき、タイミング信号  $\phi x 2 0 \sim \phi x 2 3$  ならびに  $\phi x r 0 \sim \phi x r 3$  は、一斉にハイレベルとされる。

タイミング信号  $\phi x 2 0 \sim \phi x 2 3$  は、後述するように、対応するXアドレスデコード  $X D 0 L \sim X D 3 L$  に供給され、タイミング信号  $\phi x r 0 \sim \phi x r 3$  は、対応するXアドレスデコード  $X D 0 R \sim X D 3 R$  に供給される。

タイミング発生回路TGのアレイ選択部ASLは、さらに、上記相補内部アドレス信号 $\underline{a}x0$ 及び $\underline{a}x1$ と内部タイミング信号 $\phi y$ 、 $\phi ma$ 及び $\phi co3$ をもとに、タイミング信号 $\phi y0 \sim \phi y3$ 、 $\phi ma0 \sim \phi ma3$ ならびに選択信号 $s\#0 \sim s\#3$ 及び $s r0 \sim s r3$ を形成するための回路を備える。このうち、タイミング信号 $\phi y0$ 及び $\phi y2$ ならびに $\phi y1$ 及び $\phi y3$ は、それぞれ同一の条件で形成され、タイミング信号 $\phi ma0$ 及び $\phi ma2$ ならびに $\phi ma1$ 及び $\phi ma3$ も、それぞれ同一の条件で形成される。また、選択信号 $s\#0 \sim s\#3$ は、相補内部アドレス信号 $\underline{a}x0$ が論理"0"とされるとき、内部タイミング信号 $\phi co3$ に同期して一斉に形成され、選択信号 $s r0 \sim s r3$ は、相補内部アドレス信号 $\underline{a}x0$ が論理"1"とされるとき、内部タイミング信号 $\phi co3$ に同期して一斉に形成される。特に制限されないが、擬似スタティック型RAMがセルフリフレッシュモードとされるとき、タイミング信号 $\phi y0 \sim \phi y3$ 、 $\phi ma0 \sim \phi ma3$ ならびに

選択信号 $s\#0 \sim s\#3$ 及び $s r0 \sim s r3$ は、すべてロウレベルに固定される。

上記タイミング信号 $\phi y0 \sim \phi y3$ は、後述するように、対応するYアドレスデコードYD0～YD3にそれぞれ供給され、タイミング信号 $\phi ma0 \sim \phi ma3$ は、対応するメインアンプMA0～MA3にそれぞれ供給される。また、選択信号 $s\#0 \sim s\#3$ 及び $s r0 \sim s r3$ は、後述するように、メインアンプMA0～MA3の入出力切り換え用の制御信号として用いられる。

第5図のブロック図の説明に戻ろう。第5図において、メモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rは、特に制限されないが、第11図のメモリアレイMARY0Lに代表して示されるように、垂直方向に平行して配置される256本のワード線W0～W255と、水平方向に平行して配置される2,048組の相補データ線D0～D3（ここで、例えば非反転データ線D0と反転データ線D0をあわせて相補データ線D0のように表す。以下、相補信

号線について同様）等ならびにこれらのワード線及び相補データ線の交点に格子状に配置される524,288個のダイナミック型メモリセルとをそれぞれ含む。これにより、この実施例の擬似スタティック型RAMは、いわゆる4メガビットの記憶容量を持つものとされる。

メモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rを構成するワード線W0～W255は、特に制限されないが、その一方において、対応するワード線クリア用MOSFETQ31～Q34等を介して回路の接地電位に結合される。また、その他方において、対応するXアドレスデコードXD0L～XD3LならびにXD0R～XD3Rに結合され、択一的に選択状態とされる。

ワード線クリア用MOSFETQ31～Q34等は、擬似スタティック型RAMが非選択状態とされるとき、対応する反転タイミング信号 $\overline{\phi pw0} \sim \overline{\phi pw3}$ がハイレベルとされることで一斉にオン状態となり、対応するワード線をロウレベル

の非選択状態とする。また、擬似スタティック型RAMが選択状態とされるとき、特に制限されないが、対応する上記反転タイミング信号 $\overline{\phi pw0} \sim \overline{\phi pw3}$ が択一的にロウレベルとされることで選択的にオフ状態となり、対応するワード線と回路の接地電位との間の短絡を解く。

XアドレスデコードXD0L～XD3LならびにXD0R～XD3Rには、特に制限されないが、ワード線選択タイミング信号発生回路 $\phi xG$ からワード線選択タイミング信号 $\phi x0 \sim \phi x3$ が共通に供給され、プリXアドレスデコードPXDからプリデコード信号 $pax0 \sim pax3$ ないし $pcx0 \sim pcx3$ が共通に供給される。各Xアドレスデコードには、さらにタイミング発生回路TGから、対応する上記タイミング信号 $\phi x\#0 \sim \phi x\#3$ あるいは $\phi xr0 \sim \phi xr3$ がそれぞれ供給される。

ここで、ワード線選択タイミング信号 $\phi x0 \sim \phi x3$ は、後述するように、通常ロウレベルとされ、擬似スタティック型RAMが選択状態とされ



るとき、相補内部アドレス信号 $\underline{a}x2$ 及び $\underline{a}x3$ に従って択一的に回路の電源電圧より高いブーストレベルとされる。また、プリデコード信号 $pa x0 \sim pa x3$ ないし $pc x0 \sim pc x3$ は、相補内部アドレス信号 $\underline{a}x4 \sim \underline{a}x9$ をそれぞれ2ビットずつ組み合わせてデコードすることによって、それぞれ選択的に形成される。さらに、タイミング信号 $\phi x0 \sim \phi x3$ ならびに $\phi x r0 \sim \phi x r3$ は、前述のように、擬似スタティック型RAMがセルフリフレッシュモードとされるとき一斉にハイレベルとされ、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされるとき、相補内部アドレス信号 $\underline{a}x0$ 及び $\underline{a}x1$ に従って選択的に、かつタイミング信号 $\phi x0$ と $\phi x2$ 又は $\phi x1$ と $\phi x3$ あるいは $\phi x r0$ と $\phi x r2$ 又は $\phi x r1$ と $\phi x r3$ なる組み合わせでそれぞれ同時に、ハイレベルとされる。

XアドレスデコードXD0L～XD3LならびにXD0R～XD3Rは、特に制限されないが、

これにより、XアドレスデコードXD0L～XD3LならびにXD0R～XD3Rは、対応する上記選択タイミング信号 $\phi x0 \sim \phi x3$ あるいは $\phi x r0 \sim \phi x r3$ がハイレベルとされ、インバート回路N1等の出力信号がロウレベルとされることで、そのデコードトリーが選択的に有効とされる。このとき、各Xアドレスデコードでは、上記プリデコード信号 $pa x0 \sim pa x3$ ないし $pc x0 \sim pc x3$ が対応する組み合わせで一斉にハイレベルとされることを条件に、上記ノードn4がロウレベルとなり、対応する上記ノードn5がハイレベルとなる。このため、択一的にブーストレベルとされるワード線選択タイミング信号 $\phi x0 \sim \phi x3$ が、さらに対応するワード線駆動MOSFETQ55～Q58を介して、対応するメモリアレイの対応するワード線W0～W3等に伝達される。その結果、指定されたワード線が択一的に選択状態とされ、このワード線に結合される複数のメモリセルのアドレス選択用MOSFETが一斉にオン状態とされる。

第12図のXアドレスデコードXD0Lに代表して示されるように、対応するメモリアレイMARY0L等のワード線W0～W3等と対応する上記ワード線選択タイミング信号線 $\phi x0 \sim \phi x3$ との間に設けられるワード線駆動MOSFETQ55～Q58等を含む。これらのワード線駆動MOSFETのゲートは、対応する容量カットMOSFETQ59～Q62等を介してノードn5に結合され、さらにインバート回路を介してノードn4に結合される。ノードn4は、プリチャージMOSFETQ7等を介して回路の電源電圧に結合されるとともに、デコードMOSFETQ63～Q65等を介して、インバート回路N1等の出力端子に結合される。インバート回路N1等の入力端子には、対応する上記タイミング信号 $\phi x0 \sim \phi x3$ あるいは $\phi x r0 \sim \phi x r3$ がそれぞれ供給される。デコードMOSFETQ63～Q65等のゲートには、上記プリデコード信号 $pa x0 \sim pa x3$ ないし $pc x0 \sim pc x3$ が所定の組み合わせで供給される。

煩雑を避けるため、ここではその詳細な説明を割愛しているが、メモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rは、実際には対応するXアドレスデコードXD0L～XD3LならびにXD0R～XD3Rをはさんで上下に分割して配置され、それぞれ1、024組の相補データ線を有するものとされる。これらのメモリアレイは、特に制限されないが、それぞれ最上位ビットの相補内部アドレス信号 $\underline{a}x10$ に従って選択的に動作状態とされる。

ところで、タイミング信号 $\phi x0 \sim \phi x3$ ならびに $\phi x r0 \sim \phi x r3$ は、前述のように、擬似スタティック型RAMがセルフリフレッシュモードとされるとき一斉にハイレベルとされ、通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされるとき、相補内部アドレス信号 $\underline{a}x0$ 及び $\underline{a}x1$ に従って選択的に、かつタイミング信号 $\phi x0$ と $\phi x2$ 又は $\phi x1$ と $\phi x3$ あるいは $\phi x r0$ と $\phi x r2$ 又は $\phi x r1$ と $\phi x r3$ なる組み合わせでそれぞれ同時

に、ハイレベルとされる。このため、擬似スタティック型RAMが通常の書き込み又は読み出しモードとされる場合、第1図に斜線で示されるように、例えば2個のXアドレスデコードXD0L及びXD2Lが同時に動作状態とされ、対応する2個のメモリアレイMARY0L及びMARY2Lが同時に動作状態とされる。このとき、擬似スタティック型RAMでは、後述するように、対応する2個のセンスアンプSA0L及びSA2LならびにメインアンプMA0及びMA2が動作状態とされ、またYアドレスデコードYD0及びYD2が動作状態とされる。

擬似スタティック型RAMがオートリフレッシュモードとされる場合、メモリアレイの選択状態は上記通常の動作モードと同様であるが、対応するセンスアンプSA0L及びSA2Lのみが動作状態とされ、メインアンプMA0及びMA2ならびにYアドレスデコードYD0及びYD2は動作状態とされない。このとき、擬似スタティック型RAMには、すべてのワード線に関するリフレ

ッシュ動作をダイナミック型メモリのデータ保持能力すなわち $T_{ref}$ 以内に行うことが義務付けられており、これによって、オートリフレッシュモードにおけるリフレッシュ仕様が、例えば2,048リフレッシュサイクル/ $T_{ref}$ と定められる。この実施例の擬似スタティック型RAMには、前述のように、合計4,096本のワード線が設けられる。このため、この擬似スタティック型RAMでは、第3図に示されるように、

$$T_{rc} = T_{ref} / 2, 048$$

なる時間 $T_{rc}$ をリフレッシュ周期としてオートリフレッシュモードが繰り返され、各オートリフレッシュモードにおいて、2個のメモリアレイが同時に動作状態とされる。その結果、1回のオートリフレッシュにおいて2本のワード線に関するリフレッシュ動作が実行され、上記2,048リフレッシュサイクル/ $T_{ref}$ のリフレッシュ仕様が満たされる。

ここで、擬似スタティック型RAMのオートリフレッシュモードにおける消費電流 $I_{ar}$ は、周

知のように、1回のオートリフレッシュ動作に要する消費電流を $I_{aro}$ とすると、

$$I_{ar} = I_{aro} \times T_{ref} / T_{rc} \\ = I_{aro} \times N_{ar} \cdots (1)$$

となる。言うまでもなく、 $N_{ar}$ は、

$$N_{ar} = T_{ref} / T_{rc}$$

であって、オートリフレッシュモードにおける単位時間あたりのリフレッシュ回数に相当する。また、1回のオートリフレッシュ動作に要する消費電流 $I_{aro}$ は、各オートリフレッシュ動作におけるメモリアレイ部の動作電流を $I_{ma}$ とし、周辺部の動作電流を $I_{pc}$ とすると、

$$I_{aro} = I_{ma} + I_{pc}$$

となる。したがって、上記(1)式は、

$$I_{ar} = (I_{ma} + I_{pc}) \times N_{ar} \cdots (2)$$

となる。

一方、擬似スタティック型RAMがセルフリフレッシュモードで選択状態とされる場合、第2図に斜線で示されるように、XアドレスデコードXD0L～XD3LならびにXD0R～XD3Rが

一斉に動作状態とされ、すべてのメモリアレイMARY0L～MARY3LならびにMARY0R～MARY3Rが一斉に動作状態とされる。このとき、擬似スタティック型RAMでは、すべてのセンスアンプSA0L～SA3LならびにSA0R～SA3Rが一斉に動作状態とされるが、メインアンプMA0～MA3ならびにYアドレスデコードYD0～YD3はいずれも動作状態とされない。つまり、セルフリフレッシュモードでは、8個のメモリアレイが同時に動作状態とされ、8本のワード線に関するリフレッシュ動作が同時に実行される。このため、セルフリフレッシュモードにおけるリフレッシュ周期は、第4図に示されるように、相応してオートリフレッシュモードのリフレッシュ周期 $T_{rc}$ の4倍に拡大され、単位時間あたりのリフレッシュ回数 $N_{ar}$ は、上記オートリフレッシュモードのリフレッシュ回数 $N_{ar}$ の4分の1となる。また、各セルフリフレッシュ動作におけるメモリアレイの消費電流は、同様にオートリフレッシュ動作におけるメモリアレイ部

の消費電流  $I_{ma}$  のほぼ4倍となる。ところが、各セルフリフレッシュ動作における周辺部の消費電流は、周知のように、同時に動作状態とされるメモリアレイの数に関係なくほぼ一定である。このため、セルフリフレッシュモードにおける平均消費電流  $I_{sr}$  は、

$$\begin{aligned} I_{sr} &= (4 \times I_{ma} + I_{pc}) \times N_{ar} \\ &= (4 \times I_{ma} + I_{pc}) \times N_{ar} / 4 \\ &= (I_{ma} + I_{pc} / 4) \times N_{ar} \end{aligned}$$

となり、周辺回路の消費電流が4分の1になる分だけ大幅に削減される。

次に、ワード線選択タイミング信号発生回路  $\phi_{xG}$  (信号発生回路) は、特に制限されないが、第12図に示されるように、1個のブースト信号発生回路BSGと、4個の単位選択回路UXG0～UXG3とを含む。このうち、ブースト信号発生回路BSGには、タイミング発生回路TGから上述のタイミング信号  $\phi_{wd}$  及び  $\phi_{sr}$  が供給され、単位選択回路UXG0～UXG3には、特に制限されないが、XアドレスバッファXABから

るとき、ノードn1はMOSFETQ43を介して回路の接地電位にプリチャージされ、ノードn2はMOSFETQ44を介して回路の電源電圧にプリチャージされる。このとき、タイミング信号  $\phi_x$  は、回路の接地電位のようなロウレベルとされる。擬似スタティック型RAMが選択状態とされると、まずMOSFETQ43及びQ44によるノードn1及びn2のプリチャージ動作が停止される。そして、タイミング信号  $\phi_{wd}$  がハイレベルとされることで、ノードn1がハイレベルとされ、ノードn2が、ブースト容量Cbのチャージポンプ作用によって、例えば  $V_{cc} + 2V_{THN}$  (ここで、 $V_{cc}$  は回路の電源電圧値を示し、 $V_{THN}$  はNチャンネルMOSFETのしきい値電圧を示す。以下同様) に押し上げられる。その結果、タイミング信号  $\phi_x$  が、上記ブーストレベルまで押し上げられる。

単位選択回路UXG0～UXG3は、特に制限されないが、第12図の単位選択回路UXG0に代表して示されるように、非反転内部アドレス信

2ビットの相補内部アドレス信号  $\bar{a}_{x2}$  及び  $a_{x3}$  が供給される。

ブースト信号発生回路BSGは、特に制限されないが、比較的大きな静電容量とされるブースト容量Cbを基本構成とする。このブースト容量Cbの一方の電極は、ノードn1とされ、所定のクランプ回路を介して上記タイミング信号  $\phi_{wd}$  が伝達される。また、ブースト容量Cbの他方の電極は、ノードn2とされ、その電位は、MOSFETQ5を経た後、タイミング信号  $\phi_x$  として、単位選択回路UXG0～UXG3に伝達される。ノードn1と回路の接地電位との間には、擬似スタティック型RAMが非選択状態とされるときプリチャージ信号  $\overline{PCL}$  に従ってオン状態とされるMOSFETQ43が設けられる。同様に、ノードn2と回路の電源電圧との間には、擬似スタティック型RAMが非選択状態とされるときプリチャージ信号  $\overline{PCH}$  に従ってオン状態とされるMOSFETQ44が設けられる。

擬似スタティック型RAMが非選択状態とされ

号  $\bar{a}_{x2}$  及び  $a_{x3}$  ならびに反転内部アドレス信号  $\bar{a}_{x2}$  及び  $\bar{a}_{x3}$  を所定の組み合わせで受けるナンドゲート回路NAG34を含む。このナンドゲート回路NAG34の出力信号は、ノードn3と回路の接地電位との間に設けられるMOSFETQ47のゲートに供給される。ノードn3と回路の電源電圧との間には、プリチャージMOSFETQ6が設けられる。ノードn3のレベルは、カットMOSFETQ49を介してMOSFETQ50のゲートに伝達される。このMOSFETQ50のゲートと回路の電源電圧との間には、上記MOSFETQ6と同時にオン状態とされるプリチャージMOSFETQ48が設けられる。また、MOSFETQ50のドレインには、上記タイミング信号  $\phi_x$  が供給され、そのソースは、対応する上記ワード線選択タイミング信号線  $\phi_{x0} \sim \phi_{x3}$  に結合される。

擬似スタティック型RAMが非選択状態とされるとき、単位選択回路UXG0～UXG3のMOSFETQ50はすべてオフ状態とされ、ワード

線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ はいずれもロウレベルとされる。擬似スタティック型RAMが選択状態とされると、各単位選択回路の上記MOSFETQ50が、対応するナンドゲート回路NAG34の出力信号がロウレベルであることを条件に、言い換えると相補内部アドレス信号 $\underline{a} \times 2$ 及び $\underline{a} \times 3$ が対応する組み合わせで論理“0”又は論理“1”とされることを条件に、択一的にオン状態とされる。その結果、オン状態とされるMOSFETQ50を介してタイミング信号 $\phi \times$ のブーストレベルが伝達され、対応するワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ が択一的にブーストレベルとされる。ワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ は、前述のように、XアドレスデコーダXD0L $\sim$ XD3LないしXD0R $\sim$ XD3Rのワード線駆動MOSFETQ55 $\sim$ Q58を介して、各メモリアレイの指定されるワード線に伝達され、これを選択状態とする。

ところで、この実施例では、擬似スタティック型RAMが通常の書き込み又は読み出しモードあ

るいはオートリフレッシュモードで選択状態とされるとき、例えば2個のXアドレスデコーダXD0L及びXD2Lが同時に動作状態とされ、対応する2個のメモリアレイMARY0L及びMARY2Lにおいて2本のワード線W0等が同時選択される。このため、各ワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ すなわちタイミング信号 $\phi \times$ には、第13図に示されるように、選択状態とされる2本のワード線W0等の寄生容量Cwが、負荷として等価的に結合される。一方、擬似スタティック型RAMがセルリフレッシュモードで選択状態とされるとき、すべてのXアドレスデコーダXD0L $\sim$ XD3LならびにXD0R $\sim$ XD3Rが同時に動作状態とされ、すべてのメモリアレイMARY0L $\sim$ MARY3LならびにMARY0R $\sim$ MARY3Rにおいて合計8本のワード線W0等が同時選択される。このため、各ワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ すなわちタイミング信号 $\phi \times$ には、第14図に示されるように、選択状態とされる8本のワード線W0等の寄生容

量Cwが、負荷として等価的に結合される。つまり、この擬似スタティック型RAMでは、動作モードによって、各ワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ すなわちタイミング信号 $\phi \times$ に結合される負荷容量の値が変化する。

前述のように、タイミング信号 $\phi \times$ は、ブースト信号発生回路BSGのブースト容量Cbのチャージポンプ作用によって、そのレベルが押し上げられる。このとき、タイミング信号 $\phi \times$ のブーストレベルは、上記ブースト容量Cbの静電容量とタイミング信号 $\phi \times$ に対する負荷容量とのチャージシェアによって決定される。したがって、上記のようにタイミング信号 $\phi \times$ に対する負荷容量の値が動作モードによって変化すると、タイミング信号 $\phi \times$ のブーストレベルが変化し、結果的にワード線の選択レベルが変化する。

これに対処するため、この実施例のブースト信号発生回路BSGには、上記タイミング信号線 $\phi \times$ と回路の接地電位との間に、ダミー容量Cdとこれを選択的に結合するためのMOSFETQ4

6が直列形態に設けられる。すなわち、ダミー容量Cdは、各ワード線の寄生容量Cwに対して、

$$Cd = 6 \times Cw$$

なる静電容量を持つように設計され、MOSFETQ46は、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされタイミング信号 $\phi \times$ がロウレベルとされるとき、選択的にオン状態とされる。したがって、タイミング信号 $\phi \times$ に対する負荷容量値は、擬似スタティック型RAMの動作モードに関係なく、 $8 \times Cw$ とされ、これによってタイミング信号 $\phi \times$ すなわちワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ のブーストレベルが安定化されるものとなる。

第5図において、ブリXアドレスデコーダPX Dには、特に制限されないが、XアドレスバッファXABから7ビットの相補内部アドレス信号 $\underline{a} \times 4 \sim \underline{a} \times 10$ が供給される。

ブリXアドレスデコーダPX Dは、特に制限されないが、2ビットの相補内部アドレス信号 $\underline{a} \times$

4 及び  $\overline{a} \times 5$  を組み合わせてデコードすることにより、上記プリデコード信号  $p a \times 0 \sim p a \times 3$  を択一的に形成する。また、他の相補内部アドレス信号  $\overline{a} \times 6$  及び  $\overline{a} \times 7$  ならびに  $\overline{a} \times 8$  及び  $\overline{a} \times 9$  をそれぞれ組み合わせてデコードすることにより、上記プリデコード信号  $p b \times 0 \sim p b \times 3$  ならびに  $p c \times 0 \sim p c \times 3$  を形成する。プリXアドレスデコード P X D は、特に制限されないが、さらに最上位ビットの相補内部アドレス信号  $\overline{a} \times 10$  をもとに、上下に分割して配置されるメモリアレイを選択的に指定するためのプリデコード信号  $p s u$  及び  $p s d$  を形成する。

リフレッシュアドレスカウンタ R F C には、特に制限されないが、タイミング発生回路 T G からタイミング信号  $\phi r c$  及び  $\phi s r$  が供給される。ここで、タイミング信号  $\phi r c$  は、第7図に示されるように、タイミング発生回路 T G のリフレッシュ系タイミング発生部 T R F のノアゲート回路 N O G 1 の出力信号として形成される。ノアゲート回路 N O G 1 の第1の入力端子には、擬似スタ

$x 0 \sim r \times 10$  の取り込み動作が終了した後、ロウレベルとされるため、タイミング信号  $\phi r c$  も相応したタイミングでハイレベルとされる。

リフレッシュアドレスカウンタ R F C は、特に制限されないが、11個の単位カウンタ回路 U R C 0  $\sim$  U R C 10 と、図示されないタイマカウンタ回路 T M C とを含む。このうち、タイマカウンタ回路 T M C は、前述のように、擬似スタティック型 R A M がオートリフレッシュ又はセルフリフレッシュモードで選択状態とされるとき選択的に動作状態とされ、上述の反転タイミング信号  $\phi c \overline{0}$  と、この反転タイミング信号  $\phi c \overline{0}$  を計数することによって得られる内部タイミング信号  $\phi i c i$  とを周期的に形成する。

リフレッシュアドレスカウンタ R F C の単位カウンタ回路 U R C 0  $\sim$  U R C 10 は、特に制限されないが、第15図の単位カウンタ回路 U R C 0 に代表して示されるように、それぞれ2個のインバータ回路が交差接続されてなるマスターラッチ M L 及びスレーブラッチ S L を基本構成とする。

ティック型 R A M が選択状態とされるとき所定のタイミングでロウレベルとされる反転内部タイミング信号  $\phi c \overline{0}$  が供給される。また、その第2の入力端子には、擬似スタティック型 R A M が選択状態とされるとき上記反転内部タイミング信号  $\phi c \overline{0}$  に遅れてハイレベルとされる内部タイミング信号  $\phi p 1$  が供給され、その第3の入力端子には、擬似スタティック型 R A M がオートリフレッシュ又はセルフリフレッシュモードで選択状態とされるとき所定のタイミングでロウレベルとされる反転タイミング信号  $\phi r o i$  が供給される。その結果、タイミング信号  $\phi r c$  は、擬似スタティック型 R A M がオートリフレッシュ又はセルフリフレッシュモードで選択状態とされ、かつ反転内部タイミング信号  $\phi c \overline{0}$  がロウレベルとされてから内部タイミング信号  $\phi p 1$  がハイレベルとされるまでの間、一時的にハイレベルとされる。この実施例において、反転内部タイミング信号  $\phi c \overline{0}$  は、特に制限されないが、X アドレスバッファ X A B に対するリフレッシュアドレス信号  $r$

マスターラッチ M L の出力ノードとスレーブラッチ S L の入力ノードとの間には、ナンドゲート回路 N A G 3 5 の出力信号すなわち反転内部信号  $\overline{c 0}$  ( $\overline{c 0}$  ないし  $\overline{c 10}$ 。以下、同様に単位カウンタ回路 U R C 0 を代表例として示す) がハイレベルとされるとき選択的に伝達状態とされるクロックドインバータ回路 C N 2 が設けられる。スレーブラッチ S L の出力信号は、ハザード防止回路を構成するナンドゲート回路 N A G 3 6 の第1の入力端子に供給されるとともに、反転された後、上記反転内部信号  $\overline{c 0}$  がロウレベルとされるとき選択的に伝達状態とされるクロックドインバータ回路 C N 1 を介して、マスターラッチ M L の入力ノードに伝達される。

上記ナンドゲート回路 N A G 3 5 の第1の入力端子は、インバータ回路を経て、各単位カウンタ回路のカウントパルス入力端子 C U 0  $\sim$  C U 10 に結合され、その第2の入力端子は、各単位カウンタ回路のキャリー入力端子 C I 0  $\sim$  C I 10 に結合される。これにより、ナンドゲート回路 N A

G35の出力信号すなわち上記反転内部信号 $\overline{c0}$ ～ $\overline{c10}$ は、対応するカウントパルス信号C10～C110がロウレベルとされかつ対応するキャリア入力信号C10～C110がハイレベルとされるとき、選択的にロウレベルとされる。

一方、上記ハザード防止回路を構成するナンドゲート回路NAG36の第2の入力端子は、各単位カウンタ回路の上記キャリア入力端子C10～C110に結合され、その第3の入力端子は、ナンドゲート回路NAG37の出力端子に結合される。このナンドゲート回路NAG37の第1の入力端子は、上記ナンドゲート回路NAG36の出力端子に結合される。これにより、ナンドゲート回路NAG36及びNAG37はラッチ形態とされる。ナンドゲート回路NAG36の出力端子は、さらにナンドゲート回路NAG38の第2の入力端子に結合される。ナンドゲート回路NAG38の出力端子は、各単位カウンタ回路のキャリア出力端子CA0～CA10に結合される。

単位カウンタ回路URC0～URC10のカウ

ントパルス入力端子CU0～CU10には、上記タイミング信号 $\phi_{rc}$ をもとに形成される反転カウントパルス $\overline{CUP}$ が共通に供給される。また、単位カウンタ回路URC0のキャリア入力端子C10には、反転タイミング信号 $\overline{\phi_{sr}}$ が供給され、単位カウンタ回路URC1～URC10のキャリア入力端子C11～C110には、前段の単位カウンタ回路のキャリア出力信号CA0～CA9がそれぞれ入力される。これにより、擬似スタティック型RAMがセルフリフレッシュモードとされ上記反転タイミング信号 $\overline{\phi_{sr}}$ がロウレベルとされるとき、単位カウンタ回路URC0の反転内部信号 $\overline{c0}$ はハイレベルに固定される。

単位カウンタ回路URC0～URC10のマスターラッチMLの出力信号は、上記リフレッシュアドレス信号rx0～rx10として、XアドレスバッファXABに供給される。

単位カウンタ回路URC0において、マスターラッチMLの入力ノードと回路の電源電圧との間には、さらにそのゲートに上記反転タイミング信

号 $\overline{\phi_{sr}}$ を受けるMOSFETQ8が設けられる。また、ハザード防止回路を構成するナンドゲート回路NAG37の第2の入力端子は、回路の接地電位に結合され、ナンドゲート回路NAG38の第1の入力端子は、回路の電源電圧に結合される。これにより、擬似スタティック型RAMがセルフリフレッシュモードとされ反転タイミング信号 $\overline{\phi_{sr}}$ がロウレベルとされるとき、単位カウンタ回路URC0のマスターラッチMLの出力信号すなわちリフレッシュアドレス信号rx0はロウレベルに固定される。また、そのキャリア出力信号CA0は、通常スレーブラッチSLの出力信号がそのまま伝達され、擬似スタティック型RAMがセルフリフレッシュモードとされるとき、ロウレベルに固定される。

同様に、単位カウンタ回路URC1において、特に制限されないが、マスターラッチMLの入力ノードと回路の電源電圧との間には、セルフリフレッシュモードにおいて選択的にオン状態とされるMOSFET8が設けられる。また、ハザード

防止回路を構成するナンドゲート回路NAG37の第2の入力端子は、2個のインバータ回路を介してキャリア入力端子C11に結合され、ナンドゲート回路NAG38の第1の入力端子には、上記反転タイミング信号 $\overline{\phi_{sr}}$ が供給される。これにより、擬似スタティック型RAMがセルフリフレッシュモードとされ反転タイミング信号 $\overline{\phi_{sr}}$ がロウレベルとされるとき、単位カウンタ回路URC1のマスターラッチMLの出力信号すなわちリフレッシュアドレス信号rx1はロウレベルに固定され、そのキャリア出力信号CA1がハイレベルに固定される。擬似スタティック型RAMがオートリフレッシュモードとされるとき、単位カウンタ回路URC1のキャリア出力信号CA1は、そのスレーブラッチSLの出力信号とキャリア入力信号すなわち単位カウンタ回路URC0のキャリア出力信号CA0がともにハイレベルであることを条件に、選択的にハイレベルとされる。

さらに、単位カウンタ回路URC2において、ハザード防止回路を構成するナンドゲート回路N

AG37の第2の入力端子は、インバータ回路を介してナンドゲート回路NAG39の出力端子に結合される。このナンドゲート回路NAG39の第1の入力端子はキャリー入力端子CI2に結合され、その第2の入力端子には、上記反転タイミング信号 $\phi_{or}$ が供給される。ナンドゲート回路NAG38の第1の入力端子には、回路の電源電圧が供給される。マスターラッチMLの入力ノードと回路の電源電圧との間には、上記MOSFETQ8が設けられない。これにより、単位カウンタ回路URC2のキャリー出力信号CA2は、そのスレーブラッチSLの出力信号とキャリー入力信号すなわち単位カウンタ回路URC1のキャリー出力信号CA1がともにハイレベルであることを条件に、選択的にハイレベルとされる。擬似スタティック型RAMがセルフリフレッシュモードとされるとき、単位カウンタ回路URC1のキャリー出力信号CA1は、前述のように、ハイレベルに固定される。このため、単位カウンタ回路URC2のキャリー出力信号CA2は、そのスレー

ブラッチSLの出力信号に従ってハイレベル又はロウレベルとされる。

以下、単位カウンタ回路URC3～URC10において、ハザード防止回路を構成するナンドゲート回路NAG37の第2の入力端子は、単位カウンタ回路URC1と同様に、2個のインバータ回路を介して対応するキャリー入力端子CI3～CI10に結合される。また、ナンドゲート回路NAG38の第1の入力端子は、回路の電源電圧に結合される。これにより、単位カウンタ回路URC3～URC10のキャリー出力信号CA3～CA10は、擬似スタティック型RAMの動作モードにかかわらず、そのスレーブラッチSLの出力信号とキャリー入力信号すなわち前段の単位カウンタ回路URC2～URC9のキャリー出力信号CA2～CA9がともにハイレベルであることを条件に、選択的にハイレベルとされる。

チップイネーブル信号 $\overline{CE}$ が出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ に先立ってロウレベルとされ、擬似スタティック型

RAMが通常の書き込み又は読み出しモードとされるとき、上記タイミング信号 $\phi_{rc}$ は、第16図のサイクルCy.1に示されるように、形成されない。したがって、リフレッシュアドレスカウンタRFCは更新されず、それまでの状態を保持する。このとき、リフレッシュアドレスカウンタRFCのリフレッシュタイマー回路は、動作状態とされない。

チップイネーブル信号 $\overline{CE}$ がハイレベルとされた状態で、出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ が所定の時間を超えない期間だけ一時的にロウレベルとされると、タイミング発生回路TGでは、第16図のサイクルCy.2ないしCy.5に示されるように、タイミング信号 $\phi_{re}$ がハイレベルとされる。また、反転内部タイミング信号 $\phi_{arf}$ が、出力イネーブル信号 $\overline{OE}$ の立ち下がりがエッジにおいて一時的にロウレベルとされ、続いて反転内部タイミング信号 $\phi_{pco}$ が一時的にロウレベルとされる。これにより、擬似スタティック型RAMはオートリフレ

ッシュモードで繰り返し選択状態とされ、例えばXアドレス“0”ないし“3”に対応する2本のワード線に関するリフレッシュ動作が次々に実行される。また、前述のように、リフレッシュアドレス信号 $rx0 \sim rx10$ がXアドレスバッファXABに取り込まれた後のタイミングで、タイミング信号 $\phi_{rc}$ が一時的にハイレベルとされる。リフレッシュアドレスカウンタRFCでは、上記タイミング信号 $\phi_{rc}$ の立ち上がりエッジに同期して、各単位カウンタ回路のマスターラッチMLが更新され、リフレッシュアドレス信号 $rx0 \sim rx10$ がXアドレス“1”ないし“4”を指定する組み合わせに順次遷移される。また、上記タイミング信号 $\phi_{rc}$ の立ち下がりがエッジに同期して、各単位カウンタ回路のスレーブラッチSLが更新され、その結果、単位カウンタ回路URC0のキャリー出力信号CA0が、タイミング信号 $\phi_{rc}$ の立ち下がりがエッジに同期して繰り返し遷移され、また、単位カウンタ回路URC0～URC10のキャリー出力信号CA1～CA10が、そ

のスレーブラッチSLの出力信号と前段の単位カウンタ回路のキャリー出力信号がともにハイレベルであることを条件に、ハイレベルとされる。これにより、各単位カウンタ回路のキャリー出力信号は、すべて最前段の単位カウンタ回路URC0のキャリー出力信号CA0がハイレベルであることを条件に、ハイレベルとされる。

次に、チップイネーブル信号 $\overline{CE}$ がハイレベルとされた状態で、出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号RFSHが連続してロウレベルとされると、第16図のサイクルCy. 6に示されるように、まず出力イネーブル信号 $\overline{OE}$ の最初の立ち下がりにおいて、1回のオートリフレッシュモードが行われる。そして、第17図のサイクルCy. 7に示されるように、リフレッシュタイマー回路から最初の反転タイミング信号 $\phi_{ci}$ が出力された時点で、タイミング信号 $\phi_{or}$ がハイレベルとなり、擬似スタティック型RAMはセルフリフレッシュモードとされる。

リフレッシュアドレスカウンタRFCでは、上

記タイミング信号 $\phi_{or}$ のハイレベルを受けて、単位カウンタ回路URC0及びURC1のマスタラッチMLの出力信号すなわちリフレッシュアドレス信号rx0及びrx1がロウレベルに固定され、全体の計数値は、例えばXアドレス"4"に戻される。また、単位カウンタ回路URC0のキャリー出力信号CA0がロウレベルに固定されるとともに、単位カウンタ回路URC1のキャリー出力信号CA1がハイレベルに固定される。これにより、リフレッシュアドレスカウンタRFCは、その下位の2ビットが実質的に無効とされ、上位9ビットのみがタイミング信号 $\phi_{rc}$ に従った所定の歩進動作を行うものとなる。

一方、タイミング発生回路TGのリフレッシュ系タイミング発生部TRFでは、タイミング信号 $\phi_{or}$ がハイレベルとされる当初において、反転内部タイミング信号 $\phi_{ors}$ が一時的にロウレベルとされ、続いて反転内部タイミング信号 $\phi_{pc}$ が一時的にロウレベルとされる。また、リフレッシュアドレス信号rx0～rx10がXアドレ

スバッファXABに取り込まれた時点で、タイミング信号 $\phi_{rc}$ が一時的にハイレベルとされる。これにより、擬似スタティック型RAMでは、Xアドレス"4"ないし"7"に対応する8本のワード線に関するリフレッシュ動作が実行され、リフレッシュアドレスカウンタRFCの計数値が、例えばXアドレス"8"に更新される。

このように、擬似スタティック型RAMのセルフリフレッシュモードが識別されタイミング信号 $\phi_{or}$ がハイレベルとされた当初において、1回のリフレッシュ動作を実行することで、オートリフレッシュモードが、上記反転タイミング信号 $\phi_{ci}$ の周期より長くかつタイミング信号 $\phi_{icf}$ の周期より短い周期で繰り返されたとき、リフレッシュアドレスカウンタRFCが歩進されない状態となるのを防止できるものである。

出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号RFSHがさらにロウレベルのままとされると、リフレッシュタイマー回路RTMの出力信号すなわちタイミング信号 $\phi_{icf}$ が、上述の

リフレッシュ周期Trcにおいて周期的にかつ一時的にハイレベルとされる。このため、リフレッシュ系タイミング発生部TRFでは、第16図のサイクルCy. 8及びCy. 9に示されるように、上記タイミング信号 $\phi_{icf}$ の立ち上がりエッジに同期して、反転内部タイミング信号 $\phi_{ors}$ が一時的にロウレベルとされ、続いて反転内部タイミング信号 $\phi_{pc}$ が一時的にロウレベルとされる。これにより、擬似スタティック型RAMは繰り返し選択状態とされ、例えばXアドレス"8"ないし"11"ならびにXアドレス"12"ないし"15"等に対応する8本のワード線に関するリフレッシュ動作が順次実行される。

次に、メモリアレイMARY0L～MARY3LないしMARY0R～MARY3Rを構成する相補データ線は、特に制限されないが、第11図のメモリアレイMARY0Lの相補データ線D0～D3に代表して示されるように、対応するセンスアンプSA0L～SA3LないしSA0R～SA3Rの対応する単位プリチャージ回路UPC0



～UPC3等を介して、対応する単位増幅回路USA0～USA3等に結合され、さらに対応するカラムスイッチCS0L～CS3LないしCS0R～CS3Rの対応するスイッチMOSFETQ41・Q42等に結合される。

センスアンプSA0L～SA3LないしSA0R～SA3Rは、特に制限されないが、第11図のセンスアンプSA0Lに代表して示されるように、対応するメモリアレイの各相補データ線に対応して設けられるそれぞれ2、048個の単位プリチャージ回路UPC0～UPC3等ならびに単位増幅回路USA0～USA3等を含む。このうち、単位プリチャージ回路UPC0～UPC3等は、特に制限されないが、第11図の単位プリチャージ回路UPC0に代表して示されるように、対応する相補データ線の非反転信号線D0等及び反転信号線D0等との間に直列形態に設けられるMOSFETQ36及びQ37と、これらのMOSFETと並列形態に設けられるもう一つのMOSFETQ35とをそれぞれ含む。各単位プリチャ

ージ回路のMOSFETQ35～Q37等のゲートはすべて共通結合され、タイミング発生回路TGからタイミング信号φpcが共通に供給される。また、MOSFETQ36及びQ37の共通結合されたノードには、図示されない電圧発生回路から定電圧HVCが共通に供給される。ここで、タイミング信号φpcは、特に制限されないが、擬似スタティック型RAMが非選択状態とされる時ハイレベルとされ、擬似スタティック型RAMが選択状態とされる時所定のタイミングでロウレベルとされる。また、定電圧HVCは、特に制限されないが、回路の電源電圧及び接地電位間のほぼ中間電位とされる。

これらのことから、各単位プリチャージ回路のMOSFETQ35～Q37等は、擬似スタティック型RAMが非選択状態とされ上記タイミング信号φpcがハイレベルとされることで一斉にオン状態となり、対応する相補データ線の非反転信号線D0等と反転信号線D0等を短絡するとともに、そのレベルを上記定電圧HVCとする。擬似

スタティック型RAMが選択状態とされ上記タイミング信号φpcがロウレベルとされると、各単位プリチャージ回路のMOSFETQ35～Q37等はオフ状態となり、各相補データ線の短絡状態が解かれる。

一方、各センスアンプの単位増幅回路は、特に制限されないが、第11図の単位増幅回路USA0～USA3に代表して示されるように、それぞれ2個のCMOSインバータ回路が交差接続されてなるラッチを基本構成とする。各単位増幅回路を構成するPチャンネルMOSFETのソースは、特に制限されないが、共通ソース線SP（第1の共通ソース線）に共通結合され、さらに並列形態とされる4個のPチャンネル型駆動MOSFETQ1～Q4（第1の駆動MISFET）を介して、回路の電源電圧（第1の電源電圧）に結合される。センスアンプSA0L～SA3RないしSA0R～SA3Rの駆動MOSFETQ1～Q4のゲートには、上記タイミング発生回路TGのセンスアンプ制御部SACから、対応する反転タイミング

信号φa201～φa204ないしφa231～φa234あるいはφar01～φar04ないしφar31～φar34がそれぞれ供給される。同様に、各単位増幅回路を構成するNチャンネルMOSFETのソースは、特に制限されないが、共通ソース線SN（第2の共通ソース線）に共通結合され、さらに並列形態とされる2個のNチャンネル型駆動MOSFETQ87及びQ88（第2の駆動MISFET）を介して、回路の接地電位（第2の電源電圧）に結合される。センスアンプSA0L～SA3RないしSA0R～SA3Rの駆動MOSFETQ87及びQ88のゲートには、上記センスアンプ制御部SACから、対応するタイミング信号φa201及びφa202ないしφa231及びφa232あるいはφar01及びφar02ないしφar31及びφar32がそれぞれ供給される。

各センスアンプは、特に制限されないが、さらに、上記共通ソース線SPと共通ソース線SNとの間に直列形態に設けられるMOSFETQ39

及びQ40と、これらのMOSFETと並列形態に設けられるもう一つのMOSFETQ38とをそれぞれ含む。これらのMOSFETQ38～Q40のゲートは共通結合され、上記タイミング信号 $\phi_{pc}$ が供給される。MOSFETQ39及びQ40の共通結合されたノードには、上記定電圧HVCが供給される。これにより、各センスアンプの上記MOSFETQ38～Q40は、擬似スタティック型RAMが非選択状態とされ上記タイミング信号 $\phi_{pc}$ がハイレベルとされることで一斉にオン状態となり、共通ソース線SP及びSNを短絡するとともに、そのレベルを上記定電圧HVCにプリチャージする。擬似スタティック型RAMが選択状態とされ上記タイミング信号 $\phi_{pc}$ がロウレベルとされると、MOSFETQ38～Q40はオフ状態となり、共通ソース線SP及びSNのプリチャージ動作は停止される。

各センスアンプの単位増幅回路USA0～USA3等は、上記反転タイミング信号 $\overline{\phi_{a201}} \sim \overline{\phi_{a204}}$ ないし $\overline{\phi_{a231}} \sim \overline{\phi_{a234}}$ あるいは

$\overline{\phi_{a201}}$ 及び $\overline{\phi_{a202}}$ ないし $\overline{\phi_{a231}}$ 及び $\overline{\phi_{a232}}$ ならびに $\overline{\phi_{ar01}}$ 及び $\overline{\phi_{ar02}}$ ないし $\overline{\phi_{ar31}}$ 及び $\overline{\phi_{ar32}}$ は、前述の第10に示されるように、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされるとき、動作状態とされるメモリアレイに対応してかつ順次遅れて形成され、擬似スタティック型RAMがセルフリフレッシュモードとされるとき、各タイミングの第1相すなわち反転タイミング信号 $\overline{\phi_{a201}}$ ないし $\overline{\phi_{a231}}$ ならびに $\overline{\phi_{ar01}}$ ないし $\overline{\phi_{ar31}}$ のみが、順次遅れて形成される。このため、擬似スタティック型RAMが通常の書き込み又は読み出しモードあるいはオートリフレッシュモードとされ、かつ例えばセンスアンプSA0L及びSA2Lが動作状態とされる場合、これらのセンスアンプの駆動MOSFETQ1～Q4ならびにQ87及びQ88が少しずつ遅れて順次オン状態とされる。これにより、共通ソース線SP及びSNの電流変化を抑え電源ノイズを抑

は $\overline{\phi_{ar01}} \sim \overline{\phi_{ar04}}$ ないし $\overline{\phi_{ar31}} \sim \overline{\phi_{ar34}}$ がロウレベルとされ、かつ上記タイミング信号 $\phi_{a201}$ 及び $\phi_{a202}$ ないし $\phi_{a231}$ 及び $\phi_{a232}$ あるいは $\phi_{ar01}$ 及び $\phi_{ar02}$ ないし $\phi_{ar31}$ 及び $\phi_{ar32}$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、各単位増幅回路は、対応するメモリアレイにおいて選択されたワード線に結合されるメモリセルから対応する相補データ線を介して出力される微小読み出し信号をそれぞれ増幅し、ハイレベル又はロウレベルの2値読み出し信号とする。これらの2値読み出し信号は、擬似スタティック型RAMがオートリフレッシュ又はセルフリフレッシュモードで選択状態とされるとき、対応するメモリセルに再書き込みされる。これにより、記憶データのリフレッシュ動作が、ワード線単位で実現される。

ところで、反転タイミング $\overline{\phi_{a201}} \sim \overline{\phi_{a204}}$ ないし $\overline{\phi_{a231}} \sim \overline{\phi_{a234}}$ ならびに $\overline{\phi_{ar01}} \sim \overline{\phi_{ar04}}$ ないし $\overline{\phi_{ar31}} \sim \overline{\phi_{ar34}}$

制しつつ、駆動能力が高められ、各センスアンプの動作が高速化される。

ところが、擬似スタティック型RAMがセルフリフレッシュモードとされ、すべてのセンスアンプSA0L～SA3LならびにSA0R～SA3Rが一斉に動作状態とされる場合、各センスアンプでは、駆動MOSFETQ1及びQ87のみがオン状態とされ、しかもセンスアンプSA0L及びSA0Rを先頭に順次遅れてオン状態とされる。このため、各センスアンプの動作速度は遅くされるが、擬似スタティック型RAM全体からみたピーク電流の値が大幅に削減され、電源ノイズが抑制される。その結果、8個のメモリアレイが同時に動作状態とされるにもかかわらず、擬似スタティック型RAMのセルフリフレッシュモードにおける動作が安定化される。前述のように、セルフリフレッシュモードのリフレッシュ周期 $T_{rc}$ の4倍とされる。このことを含め、セルフリフレッシュモードにおいて各センスアンプの動作速度

が遅くされることの問題は生じない。

この実施例の擬似スタティック型RAMでは、さらに、前述のように、各センスアンプの単位増幅回路と回路の電源電圧との間に4個のPチャンネル型駆動MOSFETが設けられ、各センスアンプの単位増幅回路と回路の接地電位との間に2個のNチャンネル型駆動MOSFETが設けられる。このため、実質的にセンスアンプの動作速度を律則するPチャンネル型駆動MOSFETの数が、Nチャンネル型駆動MOSFETよりも多くされることで、センスアンプの動作速度がさらに高速化されるものである。

カラムスイッチCS0L～CS3LならびにCS0R～CS3Rは、対応するメモリアレイの各相補データ線に対応して設けられる2,048対のスイッチMOSFETQ41・Q42等含む。これらのスイッチMOSFETの一方は、対応するセンスアンプを介して対応する相補データ線に結合され、その他方は、相補共通データ線CD0L0～CD0L3ないしCD3L0～CD3L3

れ、タイミング発生回路TCのアレイ選択部ASLから、対応する上記タイミング信号φy0～φy3がそれぞれ供給される。ここで、タイミング信号φy0～φy3は、前述のように、擬似スタティック型RAMが通常の書き込み又は読み出しモードとされるとき、所定のタイミングで、かつタイミング信号φy0及びφy2あるいはφy1及びφy3の組み合わせでそれぞれ同時に、ハイレベルとされる。

YアドレスデコードYD0～YD3は、対応する上記タイミング信号φy0～φy3がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、各Yアドレスデコードは、上記ブリデコード信号pay0～pay3ないしpdy0～pdy3を組み合わせることにより、対応する上記データ線選択信号YS0等を選択的にハイレベルとする。

ブリYアドレスデコードPYDには、特に制限されないが、YアドレスバッファYABから、8ビットの相補内部アドレス信号ay0～ay7が

あるいはCD0R0～CD0R3ないしCD3R0～CD3R3に、順に交互に共通結合される。各スイッチMOSFETのゲートは、4組ずつ順に共通結合され、対応するYアドレスデコードYD0～YD3から、対応するデータ線選択信号YS0等がそれぞれ供給される。

カラムスイッチCS0L～CS3LならびにCS0R～CS3Rを構成するスイッチMOSFETQ41・Q42等は、対応する上記データ線選択信号YS0等が択一的にハイレベルとされることで選択的にかつ4組ずつ同時にオン状態とされる。これにより、対応するメモリアレイの指定される4組の相補データ線が、共通相補データ線CD0L0～CD0L3ないしCD3L0～CD3L3あるいはCD0R0～CD0R3ないしCD3R0～CD3R3に選択的に接続される。

第5図において、YアドレスデコードYD0～YD3には、特に制限されないが、ブリYアドレスデコードPYDから、ブリデコード信号pay0～pay3ないしpdy0～pdy3が供給さ

供給される。

ブリYアドレスデコードPYDは、特に制限されないが、上記相補内部アドレス信号のうち、2ビットの相補内部アドレス信号ay0及びay1を組み合わせでデコードすることにより、上記ブリデコード信号pay0～pay3を選択的にハイレベルとする。また、同様に、2ビットの相補内部アドレス信号ay2及びay3、ay4及びay5ならびにay6及びay7をそれぞれ組み合わせでデコードすることにより、上記ブリデコード信号pby0～pby3、pcy0～pcy3ならびにpdy0～pdy3をそれぞれ択一的にハイレベルとする。

メモリアレイMARY0L及びMARY0Rの指定された4組の相補データ線が選択的に接続される相補共通データ線CD0L0～CD0L3及びCD0R0～CD0R3は、対応するメインアンプMA0に結合される。同様に、メモリアレイMARY1L及びMARY1RないしMARY3L及びMARY3Rの指定された4組の相補デー

タ線が選択的に接続される $\underline{CD1L0} \sim \underline{CD1L3}$ 及び $\underline{CD1R0} \sim \underline{CD1R3}$ ないし $\underline{CD3L0} \sim \underline{CD3L3}$ 及び $\underline{CD3R0} \sim \underline{CD3R3}$ は、対応するメインアンプ $MA1 \sim MA3$ にそれぞれ結合される。これらのメインアンプ $MA0 \sim MA3$ には、タイミング発生回路TGのアレイ選択部ASLから、対応するタイミング信号 $\phi w e 0 \sim \phi w e 3$ ならびに $\phi m a 0 \sim \phi m a 3$ が供給されるとともに、対応する選択信号 $s e 0 \sim s e 3$ ならびに $s r 0 \sim s r 3$ が供給される。また、メインアンプ $MA0$ 及び $MA2$ には、前述のように、データ入力バッファDIBから内部書き込みデータ $d w 0 \sim d w 3$ が供給され、メインアンプ $MA1$ 及び $MA3$ には、内部書き込みデータ $d w 4 \sim d w 7$ が供給される。さらに、メインアンプ $MA0$ 及び $MA2$ の出力信号は、内部読み出しデータ $d r 0 \sim d r 3$ としてデータ出力バッファDOBに供給され、メインアンプ $MA1$ 及び $MA3$ の出力信号は、内部読み出しデータ $d r 4 \sim d r 7$ としてデータ出力バッファDOBに供給される。

イレベルとされることで、選択的に読み出し動作状態とされる。この読み出し動作状態において、各メインアンプは、対応するメモリアレイの選択された合計8個のメモリセルから、対応する相補共通データ線 $\underline{CD0L0} \sim \underline{CD0L3}$ ないし $\underline{CD3L0} \sim \underline{CD3L3}$ あるいは $\underline{CD0R0} \sim \underline{CD0R3}$ ないし $\underline{CD3R0} \sim \underline{CD3R3}$ を介して出力される読み出し信号を増幅し、内部読み出しデータ $d r 0 \sim d r 3$ あるいは $d r 4 \sim d r 7$ として、データ出力バッファDOBに供給する。

擬似スタティック型RAMは、特に制限されないが、さらに半導体基板に所定の基板バックバイアス電圧 $V_{BB}$ を与える基板バックバイアス電圧発生回路 $V_{BBG}$ を内蔵する。基板バックバイアス電圧発生回路 $V_{BBG}$ には、特に制限されないが、タイミング発生回路TGから上記タイミング信号 $\phi c o 1$ 及び $\phi s r$ が供給される。

基板バックバイアス電圧発生回路 $V_{BBG}$ は、特に制限されないが、第17図に示されるように、比較的大きな電流供給能力を持つように設計され

メインアンプ $MA0 \sim MA3$ は、上記選択信号 $s e 0 \sim s e 3$ がハイレベルとされるとき、選択的に相補共通データ線 $\underline{CD0L0} \sim \underline{CD0L3}$ ないし $\underline{CD3L0} \sim \underline{CD3L3}$ に接続され、選択信号 $s r 0 \sim s r 3$ がハイレベルとされるとき、選択的に相補共通データ線 $\underline{CD0R0} \sim \underline{CD0R3}$ ないし $\underline{CD3R0} \sim \underline{CD3R3}$ に接続される。また、対応する上記タイミング信号 $\phi w e 0 \sim \phi w e 3$ がハイレベルとされることで、選択的に書き込み動作状態とされる。この書き込み動作状態において、メインアンプ $MA0 \sim MA3$ は、上記内部書き込みデータ $d w 0 \sim d w 3$ あるいは $d w 4 \sim d w 7$ に従った相補書き込み信号を形成し、相補共通データ線 $\underline{CD0L0} \sim \underline{CD0L3}$ ないし $\underline{CD3L0} \sim \underline{CD3L3}$ あるいは $\underline{CD0R0} \sim \underline{CD0R3}$ ないし $\underline{CD3R0} \sim \underline{CD3R3}$ を介して、対応するメモリアレイの選択された合計8個のメモリセルに書き込む。

さらに、メインアンプ $MA0 \sim MA3$ は、対応する上記タイミング信号 $\phi m a 0 \sim \phi m a 3$ がハ

る電圧発生回路VGI(第1の電圧発生回路)と、この電圧発生回路VGIに対応して設けられる発振回路OSC1及びレベル検出回路LVMとを含む。基板バックバイアス電圧発生回路 $V_{BBG}$ は、さらに、比較的小きな電流供給能力を持つように設計される電圧発生回路VG2(第2の電圧発生回路)と、この電圧発生回路VG2に対応して設けられる発振回路OSC2とを含む。

レベル検出回路LVMは、特に制限されないが、回路の電源電圧と基板バックバイアス電圧供給点 $V_{BB}$ との間に直列形態に設けられる4個のPチャンネルMOSFETQ9~Q12及び5個のNチャンネルMOSFETQ66~Q70を含む。このうち、MOSFETQ9及びQ10ならびにQ12及びQ66のゲートは、回路の接地電位に結合され、MOSFETQ11のゲートには、上記タイミング信号 $\phi s r$ が供給される。また、MOSFETQ67~Q70は、そのゲート及びドレインがそれぞれ共通結合されることでダイオード形態とされる。特に制限されないが、これらのM

MOSFET Q67~Q70は、基板バックバイアス電圧 $V_{BB}$ の実績値に応じてその一部が選択的に有効とされる。

MOSFET Q12及びQ66の共通結合されたドレインすなわちノード $n_6$ は、インバータ回路N2の入力端子に結合される。このインバータ回路N2の出力端子は、ナンドゲート回路NAG40の一方の入力端子に供給される。ナンドゲート回路NAG40の他方の入力端子には、上記タイミング信号 $\phi_{sr}$ の反転信号すなわち反転タイミング信号 $\overline{\phi_{sr}}$ が供給される。ナンドゲート回路NAG40の出力信号は、反転された後、ナンドゲート回路NAG41の一方の入力端子に供給される。このナンドゲート回路NAG41の他方の入力端子には、上記タイミング信号 $\phi_{ce1}$ の反転信号が供給される。ナンドゲート回路NAG41の出力信号は、ナンドゲート回路NAG42の一方の入力端子に供給される。ナンドゲート回路NAG42の他方の入力端子には、内部試験制御信号 $\overline{ic1}$ が供給される。この内部制御信号 $\overline{ic1}$

は、特に制限されないが、通常ハイレベルとされる。ナンドゲート回路NAG42の出力信号は、反転された後、レベル検出回路LVMの出力信号すなわち発振回路OSC1を選択的に動作状態とするための内部制御信号 $v_b$ として、発振回路OSC1に供給される。

擬似スタティック型RAMがセルフリフレッシュモードとされ、上記タイミング信号 $\phi_{sr}$ がハイレベルとされるとき、MOSFET Q11はオフ状態とされる。このため、レベル検出回路LVMは実質的にその動作が停止され、レベル検出回路LVMの出力信号すなわち内部制御信号 $v_b$ はロウレベルとされる。

一方、擬似スタティック型RAMがセルフリフレッシュモードを解かれ、かつ非選択状態とされるとき、上記タイミング信号 $\phi_{sr}$ 及び $\phi_{ce1}$ はともにロウレベルとされる。このため、MOSFET Q11がオン状態となり、レベル検出回路LVMは、実質的に動作状態とされる。このとき、基板バックバイアス電圧 $V_{BB}$ の絶対値がMOSF

ET Q66~Q70の合成しきい値電圧よりも小さいと、これらのMOSFET Q66~Q70はすべてオフ状態となる。このため、上記ノード $n_6$ の電位はほぼ回路の電源電圧のようなハイレベルとなり、インバータ回路N2の出力信号がロウレベルとされる。前述のように、タイミング信号 $\phi_{sr}$ はロウレベルであることから、反転タイミング信号 $\overline{\phi_{sr}}$ がハイレベルとされる。したがって、レベル検出回路LVMの出力信号すなわち内部制御信号 $v_b$ は、ハイレベルとされる。

基板バックバイアス電圧 $V_{BB}$ が深くされ、その絶対値が上記MOSFET Q66~Q70の合成しきい値電圧よりも大きくなると、これらのMOSFET Q66~Q70はオン状態となる。このため、上記ノード $n_6$ の電位は、MOSFET Q9~Q12の合成コンダクタンスとMOSFET Q66~Q70の合成コンダクタンスとの比によって決まる所定のロウレベルとなる。ここで、上記ノード $n_6$ のロウレベルは、インバータ回路N2の論理スレッシュホールドレベルよりも低くなるよ

うに設計される。したがって、インバータ回路N2の出力信号がハイレベルとなり、これによって、レベル検出回路LVMの出力信号すなわち内部制御信号 $v_b$ はロウレベルとされる。

擬似スタティック型RAMがいずれかの動作モードで選択状態とされ、タイミング信号 $\phi_{ce1}$ がハイレベルとされると、ナンドゲート回路NAG41の出力信号が、ノード $n_6$ の電位に関係なく、ハイレベルとされる。このため、レベル検出回路LVMの出力信号すなわち内部制御信号 $v_b$ は、基板バックバイアス電圧 $V_{BB}$ のレベルに関係なく、ハイレベルとされる。

つまり、この実施例の基板バックバイアス電圧発生回路 $V_{BG}$ において、レベル検出回路LVMは、擬似スタティック型RAMがセルフリフレッシュモードでないことを条件に、選択的に動作状態とされる。この動作状態において、レベル検出回路LVMは、基板バックバイアス電圧 $V_{BB}$ の絶対値が、リーク等によってMOSFET Q66~Q70の合成しきい値電圧よりも小さくなったと

き、選択的にその出力信号すなわち内部制御信号  $v_b$  をハイレベルとする。擬似スタティック型 RAM が通常の書き込み又は読み出しモードあるいはオートリフレッシュモードで選択状態とされるとき、レベル検出回路 LVM の出力信号すなわち内部制御信号  $v_b$  は、その動作状態の如何にかかわらず、強制的にハイレベルとされる。さらに、擬似スタティック型 RAM がセルフリフレッシュモードとされるとき、レベル検出回路 LVM の動作は停止されるが、所定の同期をおいてリフレッシュ動作が実行されると、擬似スタティック型 RAM は一時的に選択状態とされ、上記内部制御信号  $v_b$  が強制的にハイレベルとされる。

発振回路 OSC1 は、特に制限されないが、リング状に結合される 3 個のインバータ回路ならびに 2 個のナンドゲート回路を含む。これらのナンドゲート回路の他方の入力端子には、上記内部制御信号  $v_b$  が供給される。これにより、上記インバータ回路ならびにナンドゲート回路は、内部制御信号  $v_b$  がハイレベルであることを条件に、1

個のリングオシレータとして機能する。

発振回路 OSC1 の出力信号は、直列形態とされる偶数個のインバータ回路を介してその駆動能力が大きくされ、パルス信号  $\phi_0$  として、電圧発生回路 VCI に供給される。

電圧発生回路 VCI は、特に制限されないが、比較的大きな静電容量を持つように設計されるブースト容量 C1 を基本構成とする。ブースト容量 C1 の一方の電極には、MOSFET Q81 を介して、上記パルス信号  $\phi_0$  が供給される。MOSFET Q81 のゲートには、特に制限されないが、所定のクランプ回路を介して、定電圧  $V_L$  が供給される。このため、MOSFET Q81 のゲート電圧  $V_g$  は、

$$V_L - V_{THN} < V_g < V_L + V_{THN}$$

の範囲でクランプされる。これにより、回路の電源電圧の変動等により基板バックバイアス電圧  $V_{BB}$  が異常なレベルとなることを防止できる。

ブースト容量 C1 の他方の電極と基板バックバイアス電圧供給点  $V_{BB}$  との間には、ダイオード形

態とされる MOSFET Q83 が設けられる。また、このブースト容量 C1 の他方の電極と回路の接地電位との間には、同様にダイオード形態とされる MOSFET Q82 が設けられる。ここで、MOSFET Q83 及び Q82 は、ほぼ同じしきい値電圧  $V_{THN}$  を持つように設計される。MOSFET Q83 は、ブースト容量 C1 の他方の電極の電位が基板バックバイアス電圧  $V_{BB}$  よりそのしきい値電圧分以上低くなったとき選択的にオン状態となり、MOSFET Q82 は、ブースト容量 C1 の他方の電極の電位が回路の接地電位よりそのしきい値電圧分以上高くなったとき選択的にオン状態となる。

上記パルス信号  $\phi_0$  がハイレベルとされ、ブースト容量 C1 の一方の電極がハイレベルとされるとき、ブースト容量 C1 の他方の電極には、そのチャージポンプ作用によってハイレベルが誘起される。しかし、このとき、MOSFET Q82 がオン状態となるため、そのレベルは、MOSFET Q82 のしきい値電圧  $V_{THN}$  にクランプされ

る。一方、上記パルス信号  $\phi_0$  がロウレベルに変化されると、ブースト容量 C1 の他方の電極の電位は、回路の電源電圧  $V_{CC}$  分だけ低下し、 $-(V_{CC} - V_{THN})$  となる。このため、基板バックバイアス電圧  $V_{BB}$  は、ブースト容量 C1 の他方の電極の電位よりも MOSFET Q83 のしきい値電圧  $V_{THN}$  分だけ高い電圧すなわち  $-(V_{CC} - 2 \times V_{THN})$  となる。

前述のように、電圧発生回路 VCI に設けられるブースト容量 C1 は、比較的大きな静電容量を持つように設計される。したがって、上記のようなブースト容量 C1 のチャージポンプ作用により基板バックバイアス電圧供給点  $V_{BB}$  に伝達される電荷量は、比較的大きな値となる。このため、電圧発生回路 VCI は、比較的大きな電流供給能力を持つものとなる。

一方、基板バックバイアス電圧発生回路  $V_{BBG}$  の電圧発生回路 VCG2 に対応して設けられる発振回路 OSC2 は、特に制限されないが、直列形態とされる 3 個の単位回路 OU1 ~ OU3 を含む。

これらの単位回路は、単位回路OU1に代表して示されるように、それぞれ直列形態とされる3個のCMOSインバータ回路を基本構成とする。このうち、第1段目及び第2段目のインバータ回路の出力端子とインバータ回路を構成するNチャンネルMOSFET又はPチャンネルMOSFETのドレインとの間には、ダイオード形態とされるレベル調整用のNチャンネルMOSFET又はPチャンネルMOSFETがそれぞれ設けられる。特に制限されないが、各単位回路の第1段目及び第3段目のインバータ回路には、PチャンネルMOSFETQ16及びQ17等を介して、回路の電源電圧が供給される。これらのMOSFETのゲートは共通結合され、さらにMOSFETQ14のゲートに結合される。MOSFETQ14は、そのゲート及びドレインが共通結合されることで、ダイオード形態とされる。これにより、MOSFETQ14と上記MOSFETQ16及びQ17等は、電流ミラー形態とされる。同様に、各単位回路の第2段目のインバータ回路には、Nチャン

ネルMOSFETQ75を介して回路の接地電位が供給される。これらのMOSFETのゲートは共通結合され、さらにMOSFETQ73のゲートに結合される。MOSFETQ73は、そのゲート及びドレインが共通結合されることで、ダイオード形態とされる。これにより、MOSFETQ73と上記MOSFETQ75等は、電流ミラー形態とされる。

上記MOSFETQ14のソースは、回路の電源電圧に結合され、そのドレインは、MOSFETQ71及びQ15を介して、上記MOSFETQ73のドレインに結合される。MOSFETQ73のソースは、回路の接地電位に結合される。MOSFETQ14には、MOSFETQ13が並列形態に設けられ、MOSFETQ73には、MOSFETQ72が並列形態に設けられる。このうち、MOSFETQ13のゲートは、上記MOSFETQ71のゲートに共通結合され、上記反転タイミング信号 $\phi_{sr}$ が供給される。また、MOSFETQ72のゲートは、上記MOSFE

TQ15のゲートに共通結合され、タイミング信号 $\phi_{sr}$ が供給される。

単位回路OU1の出力端子は、特に制限されないが、MOSFETQ18のゲートを介して、単位回路OU2の入力端子に結合される。MOSFETQ18のソースは回路の電源電圧に結合され、そのドレインは、直列形態とされるMOSFETQ77及びQ78を介して、回路の接地電位に結合される。このうち、MOSFETQ77のゲートは、単位回路OU1の出力端子すなわち上記MOSFETQ18のゲートに共通結合され、さらにMOSFETQ76を介して回路の接地電位に結合される。MOSFETQ78は、そのゲートが上記MOSFETQ73のゲートに共通結合されることで、MOSFETQ73と電流ミラー形態とされる。MOSFETQ76のゲートには、上記タイミング信号 $\phi_{sr}$ が供給される。MOSFETQ18及びQ77の共通結合されたドレインの電位は、この発振回路OSC2の出力信号すなわちパルス信号 $\phi_2$ として、電圧発生回路V

G2に供給される。

単位回路OU2の出力信号は、単位回路OU3の入力端子に供給されるとともに、特に制限されないが、この発振回路OSC2のもう一つの出力信号すなわちパルス信号 $\phi_3$ として、電圧発生回路VG2に供給される。単位回路OU2の出力端子と回路の接地電位との間には、そのゲートに上記タイミング信号 $\phi_{sr}$ を受けるMOSFETQ79が設けられる。

単位回路OU3の出力端子は、単位回路OU1の入力端子に共通結合されるとともに、MOSFETQ74を介して回路の接地電位に結合される。MOSFETQ74のゲートには、上記タイミング信号 $\phi_{sr}$ が供給される。

これらのことから、発振回路OSC2を構成する単位回路OU1～OU3は、上記タイミング信号 $\phi_{sr}$ がロウレベルとされ反転タイミング信号 $\phi_{sr}$ がハイレベルとされるとき、言い換えると擬似スタティック型RAMがセルフリフレッシュモードでないとき、選択的に電流ミラー形態とさ

れる駆動MOSFETを介して動作電流が供給され、動作状態とされる。この動作状態において、単位回路OU1~OU3は、1個のリングオシレータとして機能し、所定の周波数を有し、かつその位相が重ならない二つの出力信号すなわちパルス信号 $\phi_0 2$ 及び $\phi_0 3$ を形成する。このとき、上記電流ミラー回路を介して各単位回路に与えられる動作電流は、その値が非常に小さくなるように設計される。

擬似スタティック型RAMがセルフリフレッシュモードとされ、タイミング信号 $\phi_0 r$ がハイレベルとされるとき、単位回路OU1~OU3は、その動作が停止される。このとき、各単位回路の入力端子及び出力端子は、対応するMOSFET Q74、Q76及びQ79を介して回路の接地電位に短絡される。

電圧発生回路VG2は、特に制限されないが、比較的小さな静電容量を持つように設計されるブースト容量C2を基本構成とする。ブースト容量C2の一方の電極は、特に制限されないが、MO

SFETQ84を介して、MOSFETQ19及びQ80のドレインに共通結合される。MOSFETQ84のゲートには、特に制限されないが、上記MOSFETQ81と同様に、所定のクランプ回路を介して定電圧VLが供給される。MOSFETQ19のソースは回路の電源電圧に結合され、そのゲートには、発振回路OSC2から上記パルス信号 $\phi_0 2$ が供給される。MOSFETQ80のソースは回路の接地電位に結合され、そのゲートには、発振回路OSC2から上記パルス信号 $\phi_0 3$ が供給される。

ブースト容量C2の他方の電極と基板バックバイアス電圧供給点V<sub>BB</sub>との間には、ダイオード形態とされるMOSFETQ86が設けられる。また、このブースト容量C2の他方の電極と回路の接地電位との間には、同様にダイオード形態とされるMOSFETQ85が設けられる。

これにより、電圧発生回路VG2は、上記電圧発生回路VG1と同様に、ブースト容量C2のチャージポンプ作用により、 $-(V_{CC}-2 \times V_{THN})$

となる基板バックバイアス電圧V<sub>BB</sub>を発生する。このとき、ブースト容量C2の一方の電極には、MOSFETQ19を介してハイレベルが供給され、MOSFETQ80を介してロウレベルが供給される。前述のように、これらのMOSFETQ19及びQ80のゲートに供給されるパルス信号 $\phi_0 2$ 及び $\phi_0 3$ は、その位相が重ならない程度に遅延される。その結果、MOSFETQ19及びQ80による貫通電流が防止され、電圧発生回路VG2の動作電流が削減される。また、前述のように、ブースト容量C2は、比較的小さな静電容量を持つように設計される。したがって、ブースト容量C2のチャージポンプ作用により基板バックバイアス電圧供給点V<sub>BB</sub>に伝達される電荷量は、比較的小さな値となる。このため、電圧発生回路VG2は、比較的小さな電流供給能力を持つものとなる。

ここで、第18図をもとに、この実施例の基板バックバイアス電圧発生回路V<sub>BB</sub>Gの各部の動作状態を整理してみよう。

まず、擬似スタティック型RAMがセルフリフレッシュモードでなくかつ非選択状態とされるとき、基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、第18図の当初の部分に示されるように、レベル検出回路LVMと比較的小さな電流供給能力を有する電圧発生回路VG2が動作状態とされる。そして、基板バックバイアス電圧V<sub>BB</sub>の絶対値が小さくなると、レベル検出回路LVMの出力信号すなわち内部制御信号vbがハイレベルとされ、比較的大きな電流供給能力を有する電圧発生回路VG1が、電圧発生回路VG2とともに動作状態とされる。

出力イネーブル信号OEすなわちリフレッシュ制御信号RFSHのロウレベル変化に先立ってチップイネーブル信号CEがロウレベルとされることによって、擬似スタティック型RAMが通常の動作モードで選択状態とされると、基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、第18図のサイクルCy.1に示されるように、反転タイミング信号 $\phi_0 1$ がロウレベルとされる時点で、電圧発



生回路VGIが強制的に動作状態とされ、そのレベルにかかわらず基板バックバイアス電圧V<sub>BB</sub>の補給が行われる。

チップイネーブル信号 $\overline{CE}$ がハイレベルとされた状態で出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ が一時的にロウレベルとされることによって、擬似スタティック型RAMがオートリフレッシュモードで選択状態とされると、タイミング発生回路TGのリフレッシュ系タイミング発生部TRFでは、第18図のサイクルCy.2に示されるように、反転内部タイミング信号 $\overline{\phi_{ars}}$ が一時的にロウレベルとされ、次いで上記反転タイミング信号 $\overline{\phi_{ce1}}$ がロウレベルとされる。これにより、基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、電圧発生回路VGIが強制的に動作状態とされ、そのレベルにかかわらず基板バックバイアス電圧V<sub>BB</sub>の補給が行われる。

チップイネーブル信号 $\overline{CE}$ がハイレベルとされた状態で出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $\overline{RFSH}$ が連続的にロウレベルと

されると、タイミング発生回路TGのリフレッシュ系タイミング発生部TRFでは、第18図のサイクルCy.3に示されるように、まず反転内部タイミング信号 $\overline{\phi_{ars}}$ が一時的にロウレベルとされ、オートリフレッシュモードによる1回のリフレッシュ動作が実行される。これにより、電圧発生回路VGIが強制的に動作状態とされ、そのレベルにかかわらず基板バックバイアス電圧V<sub>BB</sub>の補給が行われる。さらに、出力イネーブル信号 $\overline{OE}$ がロウレベルとされてから所定の時間が経過し、反転タイミング信号 $\overline{\phi_{ce2}}$ が一時的にロウレベルとされると、タイミング発生回路TGのリフレッシュ系タイミング発生部TRFでは、第18図のサイクルCy.4に示されるように、タイミング信号 $\phi_{sr}$ がハイレベルとされ、擬似スタティック型RAMのセルフリフレッシュモードが判定される。このため、タイミング信号 $\phi_{sr}$ のハイレベルを受けて、まずレベル検出回路LVM及び電圧発生回路VG2の動作が停止され、また反転内部タイミング信号 $\overline{\phi_{ars}}$ が一時的にロウレベルと

される。これにより、反転タイミング信号 $\overline{\phi_{ce0}}$ がロウレベルとされ、セルフリフレッシュモードによる第1回目のリフレッシュ動作が開始される。基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、反転タイミング信号 $\overline{\phi_{ce0}}$ のロウレベルを受けて電圧発生回路VGIが強制的に動作状態とされ、リフレッシュ動作に必要な基板バックバイアス電圧V<sub>BB</sub>の補給が行われる。

以下、リフレッシュアドレスカウンタRFCのリフレッシュタイマー回路RTMからタイミング信号 $\phi_{ci}$ が周期的に供給されると、タイミング発生回路TGのリフレッシュ系タイミング発生部TRFでは、第18図のサイクルCy.5に示されるように、反転内部タイミング信号 $\overline{\phi_{ars}}$ が一時的にロウレベルとされる。これにより、反転タイミング信号 $\overline{\phi_{ce1}}$ がロウレベルとされ、セルフリフレッシュモードによるリフレッシュ動作が繰り返される。このとき、基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、反転タイミング信号 $\overline{\phi_{ce1}}$ のロウレベルを受けて、その都度電圧発生

回路VGIが強制的に動作状態とされ、リフレッシュ動作に必要な基板バックバイアス電圧V<sub>BB</sub>の補給が行われる。

つまり、擬似スタティック型RAMが、例えばバッテリバックアップ等を行うためにセルフリフレッシュモードとされる場合、擬似スタティック型RAMは、通常の動作モードでアクセスされる可能性がない。このため、この実施例の基板バックバイアス電圧発生回路V<sub>BB</sub>Gでは、セルフリフレッシュモードが識別されタイミング信号 $\phi_{sr}$ がハイレベルとされる時点で、レベル検出用の貫通電流を必要とするレベル検出回路LVMと、比較的小さな電流供給能力を有しリーク等による基板バックバイアス電圧V<sub>BB</sub>の補給を行う電圧発生回路VG2の動作を停止する。また、セルフリフレッシュモードとされる間、周期的にリフレッシュ動作が実行されるのにあわせて、比較的大きな電流供給能力を有する電圧発生回路VG2を強制的に動作状態とし、リフレッシュ動作に要する基板バックバイアス電圧V<sub>BB</sub>の補給を行う。その結

果、セルフリフレッシュモードにおける擬似スタティック型RAMの消費電流が著しく削減され、より電流供給能力の小さな電池等によるバッテリーバックアップが可能となる。

最後に、第19図に示される半導体基板面の配置図をもとに、この実施例の擬似スタティック型RAMのレイアウトに関するいくつかの特徴について説明する。なお、第19図において、半導体基板は、紙面の都合から、横向きに図示されるため、以下の説明では、同図の左側を半導体基板面の上側と称している。

前述のように、擬似スタティック型RAMは、8個のメモリアレイMARY0L～MARY3L及びMARY0R～MARY3Rを備え、これらのメモリアレイに対応して設けられるXアドレスデコードXD0L～XD3L及びXD0R～XD3Rと、センスアンプSA0L～SA3L及びSA0R～SA3RならびにカラムスイッチCS0L～CS3L及びCS0R～CS3Rを備える。擬似スタティック型RAMは、さらに、4個のY

アドレスデコード等に近接して、メインアンプMA0～MA3ならびにデータ入力バッファDIB等が配置される。

半導体基板面の各側辺には、半導体基板面の各隅に近接する位置ならびに左部及び右部側辺の中央部に近接する位置を避けるように、ボンディングパッドが配置される。すなわち、半導体基板面の上部側辺には、Yアドレス信号AY3、AY5及びAY7ならびにAY4及びAY6に対応する5個のパッドが、回路の電源電圧を供給する電源パッドVcc1及びVcc2をはさむように配置され、下部側辺には、データ入出力端子D1及びD2ならびにD3～D5に対応する5個のパッドが、回路の接地電位を供給する電源パッドVss1及びVss2をはさむように配置される。また、半導体基板面の上左部側辺には、Xアドレス信号AX4～AX7ならびにYアドレス信号AY1に対応する5個のパッドが配置され、下左部側辺には、データ入出力端子D0ならびにXアドレス信号AX0～AX3に対応する5個のパッドが配置される。

アドレスデコードYD0～YD3ならびにメインアンプMA0～MA3を備え、その他の共通的な周辺回路を備える。

第19図において、半導体基板面の中央部には、XアドレスデコードXD0L～XD3L及びXD0R～XD3R等（周辺回路の一部）が配置され、その上下に、対応するメモリアレイMARY0L～MARY3L及びMARY0R～MARY3Rが、ワード線を上下方向に延長する形で配置される。また、図示されないが、YアドレスデコードYD0～YD3に近接して、対応するセンスアンプSA0L～SA3L及びSA0R～SA3RならびにカラムスイッチCS0L～CS3L及びCS0R～CS3Rがそれぞれ配置される。

半導体基板面の上部には、特に制限されないが、メモリアレイ及びYアドレスデコード等に近接して、プリYアドレスデコードPYD、YアドレスバッファYAB及びYアドレス冗長制御回路YRACが配置される。また、半導体基板面の下部には、特に制限されないが、メモリアレイ及びYア

さらに、半導体基板面の上右部側辺には、Yアドレス信号AY0とXアドレス信号AX9及びAX8ならびにYアドレス信号AY2に対応する4個のパッドと、ライトイネーブル信号WEに対応するパッドならびに所定の試験時に基板バックバイアス電圧V<sub>BB</sub>を供給するための試験パッドV<sub>BB</sub>とが配置され、下右部側辺には、データ入出力端子D6、D7とチップイネーブル信号CE及びXアドレス信号AX10ならびに出力イネーブル信号OEすなわちリフレッシュ制御信号RFSHに対応する5個のパッドが配置される。

各パッドは、それぞれがボンディング処理を施すための露出部を持つ。また、各パッドは、パッケージ側に設けられるインナーリードILとボンディングワイヤを介して結合され、これらのインナーリードILは、第19図に点線で例示されるように、充分なたわみを持たせて配置し、所定の機械的強度を与える必要がある。このため、この実施例の擬似スタティック型RAMでは、前述のように、まず、パッドを半導体基板面の各隅に近

接する位置を避けて配置することで、特にプラスチックパッケージが用いられる場合に、熱膨張率の差を原因とするいわゆるレジンストレスによりパッドあるいはその周辺が破壊されるのを防止している。また、パッドを、インナーリードに充分なたわみを持たせられない半導体基板面の左部及び右部側辺に近接する位置を避けて配置することで、すべてのインナーリードに所定の機械的強度を与え得るようにし、またボンディングワイヤがいたずらに長くなるのを防止している。

ところで、上記パッドが配置されない半導体基板面の各隅に近接する位置ならびに左部及び右部側辺の中央部に近接する位置には、通常の回路ブロックがそれぞれ配置される。すなわち、第19図に示されるように、半導体基板面の左上隅に近接する位置には、特に制限されないが、基板バックバイアス電圧発生回路 $V_{BB}G$ 及びワード線選択タイミング信号発生回路 $\phi \times G$ が配置され、右上隅に近接する位置には、タイミング発生回路 $TG$ の一部が配置される。また、半導体基板面の右下

隅に近接する位置には、タイミング発生回路 $TG$ の他の一部が配置される。さらに、半導体基板面の左部側辺の中央部に近接する位置には、 $X$ アドレスバッファ $XAB$ 及びプリ $X$ アドレスデコーダ $PXD$ 等（周辺回路の他の一部）が配置され、右部側辺の中央部に近接する位置には、リフレッシュアドレスカウンタ $RFC$ 等（周辺回路の他の一部）が配置される。

このように、パッドが配置されない半導体基板面の各隅に近接する位置ならびに左部及び右部側辺の中央部に近接する位置に、いわゆるレジンストレスの影響を受けずまたインナーリードに関係のない通常の回路ブロックを配置することで、擬似スタティック型 $RAM$ のレイアウトに関する問題を排除しつつ、そのレイアウト効率の低下を補うことができるものである。

この実施例の擬似スタティック型 $RAM$ は、さらにレイアウトに関するもう一つの特徴を持つ。すなわち、この実施例の擬似スタティック型 $RAM$ では、第19図に示されるように、各起動制御

信号やアドレス信号を入力するためのパッドならびに、データ入出力端子が、半導体基板面の各側辺に分散して配置される。このため、例えば、比較的近接して配置される $X$ アドレス信号 $AX0 \sim AX3$ 及び $AX4 \sim AX7$ ならびに $Y$ アドレス信号 $AY0 \sim AY7$ については、対応する $X$ アドレスバッファ $XAB$ 及び $Y$ アドレスバッファ $YAB$ がこれらのパッドに近接してまとめて配置されるが、比較的距離をおいて配置される $X$ アドレス信号 $AX8 \sim AX10$ やチップイネーブル信号 $\overline{CE}$ 、ライトイネーブル信号 $\overline{WE}$ 及び出力イネーブル信号 $\overline{OE}$ すなわちリフレッシュ制御信号 $RFSH$ については、各パッドに隣接又は近接して対応する入力バッファ $XAB$ ならびに $\overline{CE}B$ 、 $\overline{WE}B$ 及び $\overline{OE}B$ がそれぞれ配置される。また、データ入出力端子 $D0 \sim D7$ に対応するデータ入力バッファ $DI B$ は、半導体基板面の下部側辺に近接してまとめて配置されるが、データ入出力端子 $D0 \sim D7$ に対応するデータ出力バッファ $DOB$ については、データ入出力端子 $D0 \sim D7$ に隣接してそれぞれ

配置される。その結果、各入力信号の伝達遅延時間が短縮されるとともに、データ出力バッファ $DOB$ が一斉に動作状態にされることによる電源ノイズの影響が抑制される。

以上の本実施例に示されるように、この発明を擬似スタティック型 $RAM$ 等の半導体記憶装置に適用することで、次のような作用効果を得ることができる。すなわち、

(1) 指定されるワード線が択一的に選択状態とされることにより選択的に動作状態とされる複数のメモリアレイを具備する擬似スタティック型 $RAM$ 等において、セルフリフレッシュモードにおいて同時に動作状態とされるメモリアレイの数すなわちワード線の同時選択数を、通常の動作モード及びオートリフレッシュモードの整数倍とし、相応してセルフリフレッシュモードにおけるリフレッシュ周期を拡大することで、ワード線の同時選択数を最適化し、擬似スタティック型 $RAM$ 等のセルフリフレッシュモードにおける平均消費電力を大幅に削減できる。

(2) 上記(1)項において、各メモリアレイに対応して設けられる複数のセンスアンプに、それぞれ複数の駆動MOSFETを設け、これらの駆動MOSFETを、通常の書き込み及び読み出しモードならびにオートリフレッシュモードにおいてそれぞれ所定の時間をおいて順次オン状態とし、かつセルフリフレッシュモードにおいてその一部を部分的にオン状態とすることで、多数のメモリアレイすなわちセンスアンプが同時に動作状態とされるセルフリフレッシュモードにおける動作電流のピーク値を削減できる。

(3) 上記(2)項において、セルフリフレッシュモードにおいて部分的にオン状態とされる駆動MOSFETを、さらにセンスアンプごとに順次逐進してオン状態とすることで、多数のメモリアレイすなわちセンスアンプが同時に動作状態とされるセルフリフレッシュモードにおける動作電流のピーク値をさらに削減できる。

(4) 上記(2)項及び(3)項により、擬似スタティック型RAM等のセルフリフレッシュモ-

ドにおける電源ノイズを削減できる。

(5) 上記(1)項において、各センスアンプを構成する単位増幅回路と回路の電源電圧との間に設けられるPチャンネル型の駆動MOSFETの数を、上記単位増幅回路と回路の接地電位との間に設けられるNチャンネル型の駆動MOSFETと比較して多くすることで、センスアンプの立ち上がりを平均的に高速化し、擬似スタティック型RAMを高速化できる。

(6) 上記(1)項において、セルフリフレッシュモードにおけるワード線の同時選択数を、通常の書き込み及び読み出しモードあるいはオートリフレッシュモードの2のべき乗倍とし、リフレッシュアドレスカウンタの下位ビットを、セルフリフレッシュモードにおいて部分的に無効とすることで、リフレッシュアドレスカウンタの歩進動作を、動作モードによってワード線の同時選択数が異なる上記選択方式に適合できる。

(7) 上記(6)項において、セルフリフレッシュモードが識別される当初において1回のリフレ-

ッシュ動作を実行することで、オートリフレッシュモードが所定の選択期間をもって繰り返されるあるいはオートリフレッシュモードとセルフリフレッシュモードが所定の時間をおいて繰り返されるとき、リフレッシュアドレスカウンタが歩進されないという問題を解消できる。

(8) 上記(1)項において、擬似スタティック型RAMの基板バックバイアス電圧発生回路を、セルフリフレッシュモードにおいて選択的にその動作が停止されるレベル検出回路と、比較的大きな電流供給能力を持つように設計され上記レベル検出回路の出力信号が有効とされるときあるいはセルフリフレッシュモードによるリフレッシュ動作が実行されるとき選択的に動作状態とされる第1の電圧発生回路と、比較的小きな電流供給能力を持つように設計されセルフリフレッシュモードにおいてその動作が選択的に停止される第2の電圧発生回路とにより構成することで、擬似スタティック型RAMのセルフリフレッシュモードにおける消費電流をさらに削減できる。

(9) 上記(1)項において、選択状態とされるワード線を回路の電源電圧より高いブーストレベルにするためのワード線選択タイミング信号を伝達する信号線と回路の接地電位との間に、セルフリフレッシュモードにおいて追加して選択状態とされるワード線の寄生容量に相当する静電容量を持つように設計され、かつ通常の書き込み又は読み出しモードあるいはオートリフレッシュモードにおいて選択的に結合されるダミー容量を設けることで、ワード線の同時選択数が増減されることにともなうワード線選択タイミング信号のブーストレベルの変化を抑制できる。

(10) ボンディングパッドを、半導体基板面の各隅に近接する位置を避けて配置することで、特にプラスチックパッケージを用いる場合に、熱膨張率の差を原因とするいわゆるレジストストレスによって、露出部を有するパッド又はその周辺部が破損されるのを防止できる。

(11) 上記(10)項において、パッドが配置されない半導体基板面の各隅に近接する位置に、通常

の回路ブロックを配置することで、擬似スタティック型RAM等のレイアウト効率の低下を補うことができる。

(12) ボンディングパッドを、半導体基板面の各側辺の中央に近接する位置を避けて配置することで、パッケージのすべてのインナーリードを、充分なたわみを持たせつつ配置できるため、各インナーリードに所定の機械的強度を与え、ボンディングワイヤの長さを短縮することができる。

(13) 上記(12)項において、パッドが配置されない半導体基板面の各側辺の中央に近接する位置に、通常の回路ブロックを配置することで、擬似スタティック型RAM等のレイアウト効率の低下を補うことができる。

(14) 半導体基板面の側辺に分散配置されるボンディングパッドに隣接又は近接して、対応する入力バッファ及び出力バッファを配置することで、各入力又は出力信号の伝達遅延時間を短縮し、また複数の出力バッファが同時に動作状態とされることにともなう電源ノイズを抑制できる。

擬似スタティック型RAMは、オートリフレッシュ及びセルフリフレッシュモード以外のリフレッシュモードを有することもよい。Xアドレス信号ならびにYアドレス信号は、同一の外部端子を介して時分割的に入力してもよい。第6図ないし第9図において、タイミング発生回路TGの各部の具体的な回路構成や各タイミング信号等の論理条件等は、この実施例による制約を受けない。第11図において、センスアンプの単位増幅回路と回路の電源電圧又は接地電位との間に設けられる駆動MOSFETの数は、任意に設定できる。また、これらの駆動MOSFETの動作タイミングは、種々の組み合わせが考えられる。第12図において、ゲーマー容量Cdならびにこれを選択的に結合するためのMOSFET等は、例えばワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ と回路の接地電位との間に分散して設けてもよいし、それぞれを複数個に分割して設けてもよい。また、ワード線選択タイミング信号 $\phi \times 0 \sim \phi \times 3$ のブーストレベルの具体的な値は、この実施例によって制限

(15) 上記(1)項ないし(15)項により、擬似スタティック型RAM等の動作ならびに製品品質を安定化しつつ、そのセルフリフレッシュモードの低消費電力化を図り、さらに小さな電流供給能力を有する電池等によるバッテリバックアップを可能にできる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図及び第2図において、各動作モードにおけるワード線の同時選択数すなわち同時に動作状態とされるメモリアレイの数は、任意に設定できるし、その選択方法も任意である。第5図において、メモリアレイならびにメモリアレイの数は任意に設定できるし、同時に入出力される記憶データのビット数すなわち擬似スタティック型RAM等のビット構成も任意である。リフレッシュ制御信号RFSHは、出力イネーブル信号OEとは別途に独立して設けてもよい。また、

されない。ワード線選択タイミング信号発生回路及び各Xアドレスデコードに設けられるデコード用のナンドゲート回路は、等価的な他の論理ゲート回路に置き換えることができる。第15図において、リフレッシュアドレスカウンタRFCの単位カウンタ回路URC0及びURC1の出力信号は、セルフリフレッシュモードにおいて選択的に無効とされることを条件に、特に論理"0"に固定される必要はない。第17図において、レベル検出回路LVMは、電圧発生回路VCG1が強制的に動作状態とされる場合、その動作を停止してもよい。また、発振回路OSC2及び電圧発生回路VCG2は、発振回路OSC1及び電圧発生回路VCG1とそれぞれ同様な回路構成としてもよい。基板バックバイアス電圧VBBの具体的なレベルは、任意に選定できる。第19図において、半導体基板面における各回路ブロック及びボンディングパッド等の配置位置ならびにその組み合わせは、この実施例による制約を受けない。また、入力バッファ及び出力バッファ等は、すべて対応するパッ

ドに隣接又は近接して配置してもよい。さらに、第5図に示される擬似スタティック型RAMのブロック構成や各回路ブロックの具体的な回路構成ならびに各タイミング信号やアドレス信号の組み合わせ等、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である擬似スタティック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、セルフリフレッシュモードを有する通常のダイナミック型RAMやマルチポートRAM等にも適用できる。本発明のうち、ワード線の同時選択数すなわち同時に動作状態とされるメモリアレイの数に関する発明については、少なくともセルフリフレッシュモードを有する半導体記憶装置に、また、ゲミュー容量に関する発明については、少なくとも動作モードによってワード線の同時選択数が異なる各種の半導体記憶装置に、またパッド及びその周辺部のレイアウトに関する発明については、ワード線の同時選択数あるいはセルフリフレ

ッシュモードに関係なく各種の半導体集積回路装置に広く適用できる。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、擬似スタティック型RAM等のセルフリフレッシュモードにおけるワード線の同時選択数を、通常の動作モード及びオートリフレッシュモードの整数倍とし、相応してセルフリフレッシュモードにおけるリフレッシュ周期を整数倍とする。このとき、各センスアンプに対応して設けられる複数の駆動MOSFETを部分的にオン状態とし、さらに部分的にオン状態とされる駆動MOSFETを所定の時間において順次オン状態とする。また、ワード線選択タイミング信号を伝達する信号線と回路の接地電位との間に、セルフリフレッシュモードにおいて選択的に結合されるゲミュー容量を設けるとともに、セルフリフレッシュモードが識別される当初において1回のリフレッシュ動作を実行する。そして、

擬似スタティック型RAM等に内蔵される基板バックバイアス電圧発生回路を、セルフリフレッシュモードにおいて選択的にその動作が停止されるレベル検出回路と、比較的大きな電流供給能力を有し通常の動作モード及びオートリフレッシュモードにおいて上記レベル検出回路の出力信号が有効とされるときあるいはセルフリフレッシュモードにおいてリフレッシュ動作が実行されるとき選択的に選択的に動作状態とされる第1の電圧発生回路と、比較的小きな電流供給能力を有しセルフリフレッシュモードにおいて選択的にその動作が停止される第2の電圧発生回路とにより構成する。これにより、擬似スタティック型RAMのセルフリフレッシュモードにおけるワード線の同時選択数を最適化し、その平均消費電力を大幅に削減できる。また、ワード線の同時選択数の最適化にともなう動作電流のピーク値を抑え、ワード線の同時選択数が増加されることによるワード線のブーストレベルの変化を抑制できるとともに、リフレッシュアドレスカウンタの誤動作を防止し、セル

フリフレッシュモードにおける基板バックバイアス電圧発生回路の動作電流を削減できる。その結果、擬似スタティック型RAM等の動作を安定化しつつ、その低消費電力化を推進できる。

#### 4. 図面の簡単な説明

第1図及び第2図は、この発明が適用された擬似スタティック型RAMの選択状態を説明するための概念図、

第3図及び第4図は、この発明が適用された擬似スタティック型RAMの平均動作電流を説明するための概念図、

第5図は、この発明が適用された擬似スタティック型RAMの一実施例を示すブロック図、

第6図ないし第9図は、第5図の擬似スタティック型RAMのタイミング発生回路の一実施例を示す部分的な回路図、

第10図は、第6図ないし第9図のタイミング発生回路の一例を示すタイミング図、

第11図は、第5図の擬似スタティック型RAMのメモリアレイ及びセンスアンプならびにカラ

ムスイッチの一実施例を示す部分的な回路図、

第12図は、第5図の擬似スタティック型RAMのプリXアドレスデコード及びXアドレスデコードの一実施例を示す部分的な回路図、

第13図及び第14図は、第12図のプリXアドレスデコード及びXアドレスデコードの選択状態を説明するための概念図、

第15図は、第5図の擬似スタティック型RAMのリフレッシュアドレスカウンタの一実施例を示す部分的な回路図、

第16図は、第15図のリフレッシュアドレスカウンタの一例を示すタイミング図、

第17図は、第5図の擬似スタティック型RAMの基板バックバイアス電圧発生回路の一実施例を示す部分的な回路図、

第18図は、第17図の基板バックバイアス電圧発生回路の一例を示すタイミング図、

第19図は、第5図の擬似スタティック型RAMの一実施例を示す配置図である。

MAT0～MAT3・・・メモリマツト、MA

RY0L～MARY3L、MARY0R～MARY3R・・・メモリアレイ、SA0L～SA3L、SA0R～SA3R・・・センスアンプ、CS0L～CS3L、CS0R～CS3R・・・カラムスイッチ、XD0L～XD3L、XD0R～XD3R・・・Xアドレスデコード、PX0・・・プリXアドレスデコード、 $\phi$ xG・・・ワード線選択タイミング信号発生回路、XAB・・・Xアドレスバッファ、RFC・・・リフレッシュアドレスカウンタ、YD0～YD3・・・Yアドレスデコード、PYD・・・プリYアドレスデコード、YAB・・・Yアドレスバッファ、MA0～MA3・・・メインアンプ、DIB・・・データ入力バッファ、DOB・・・データ出力バッファ、TC・・・タイミング発生回路、V<sub>BB</sub>G・・・基板バックバイアス電圧発生回路。

TCE・・・チップイネーブル系タイミング発生部、TRF・・・リフレッシュ系タイミング発生部、ASL・・・アレイ選択部、SAC・・・センスアンプ制御部。

UPC0～UPC3・・・単位プリチャージ回路、USA0～USA3・・・センスアンプ単位増幅回路。

BSG・・・ブースト信号発生回路、UXC0～UXG3・・・単位選択回路、Cb・・・ブースト容量、Cw・・・ワード線寄生容量、Cd・・・ゲート容量。

URC0～URC10・・・単位カウンタ回路、ML・・・マスターラッチ、SL・・・スレーブラッチ、CN1～CN2・・・クロックドインバーク回路。

LVM・・・レベル検出回路、OSC1、OSC2・・・発振回路、VG1、VG2・・・電圧発生回路、OU1～OU3・・・発振回路OSC2の単位回路、C1、C2・・・ブースト容量。

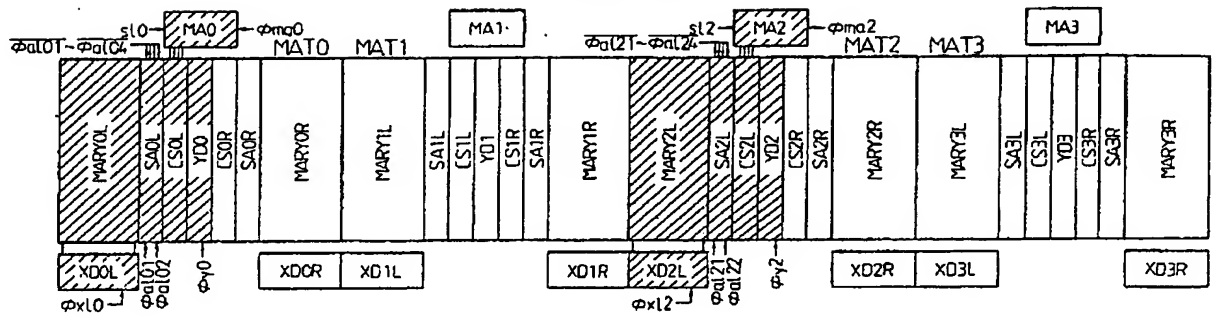
YRAC・・・Yアドレス冗長制御回路。

Q1～Q19・・・PチャンネルMOSFET、Q31～Q88・・・NチャンネルMOSFET、NAG1～NAG42・・・ナンドゲート回路、NOG1～NOG9・・・ノアゲート回路、N1、

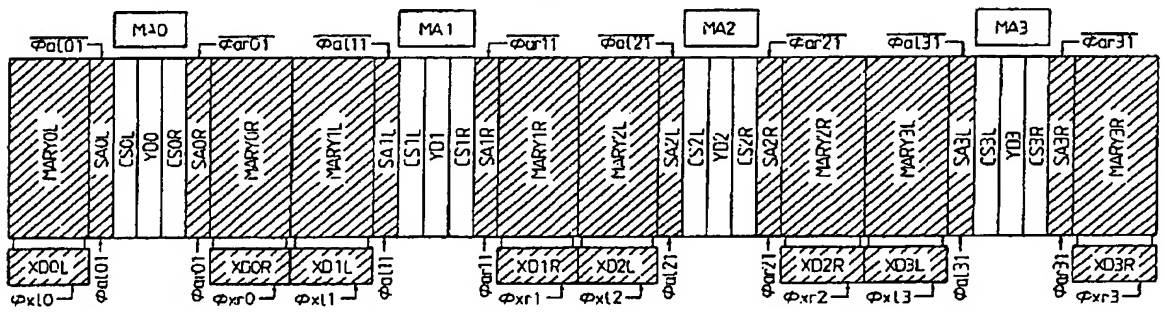
N2・・・インバータ回路、LT1～LT6・・・ラッチ、DL・・・遅延回路。

代理人弁理士 徳若 光政

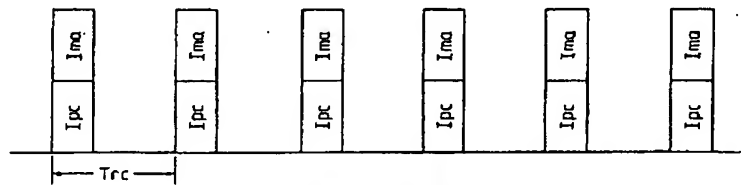
第 1 図



第 2 図



第 3 図



第 4 図

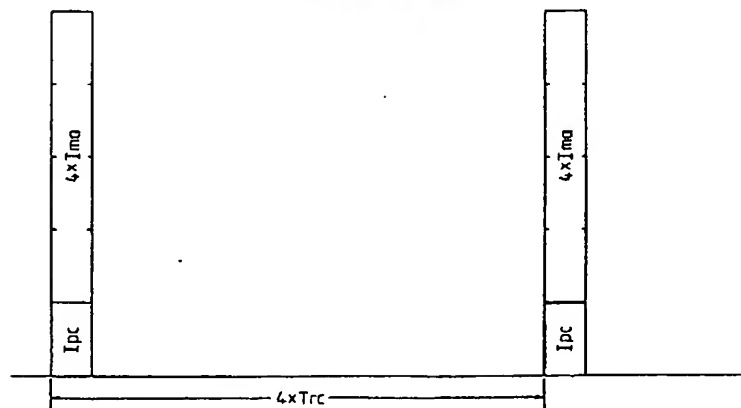




図 5

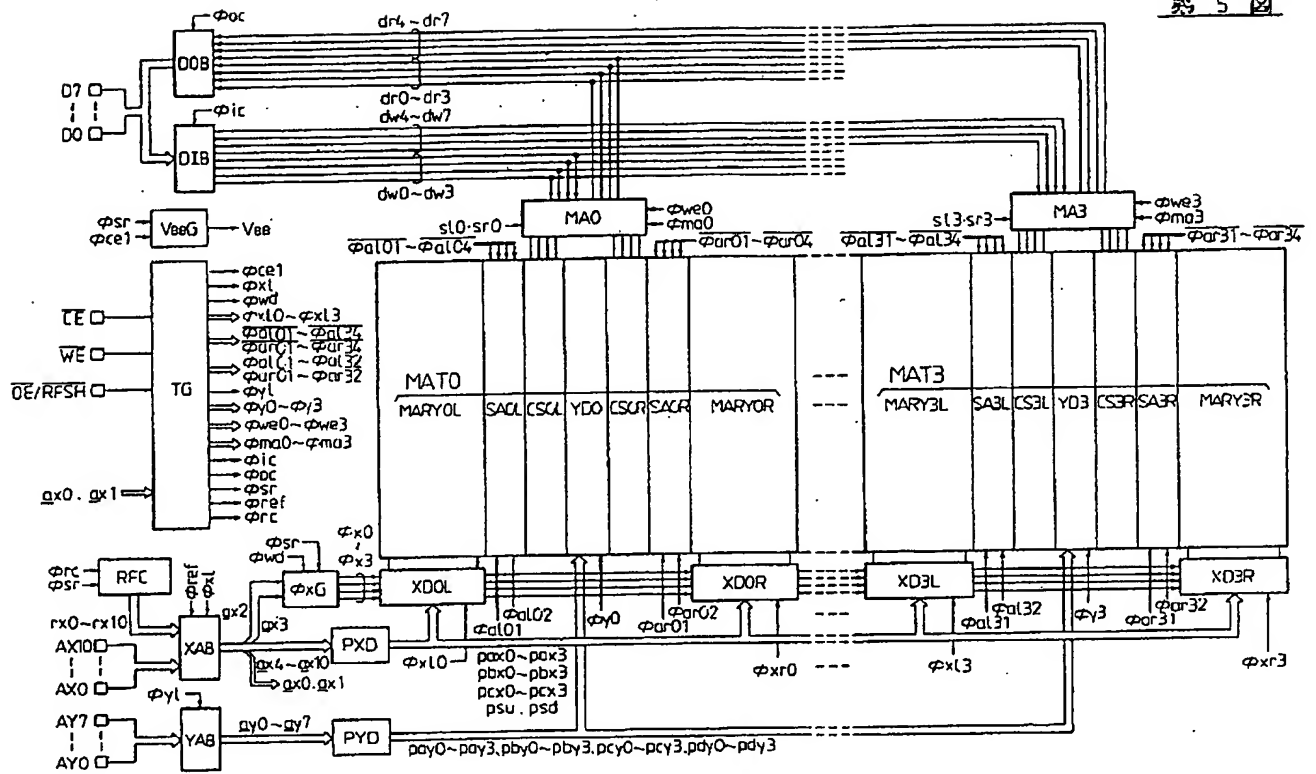
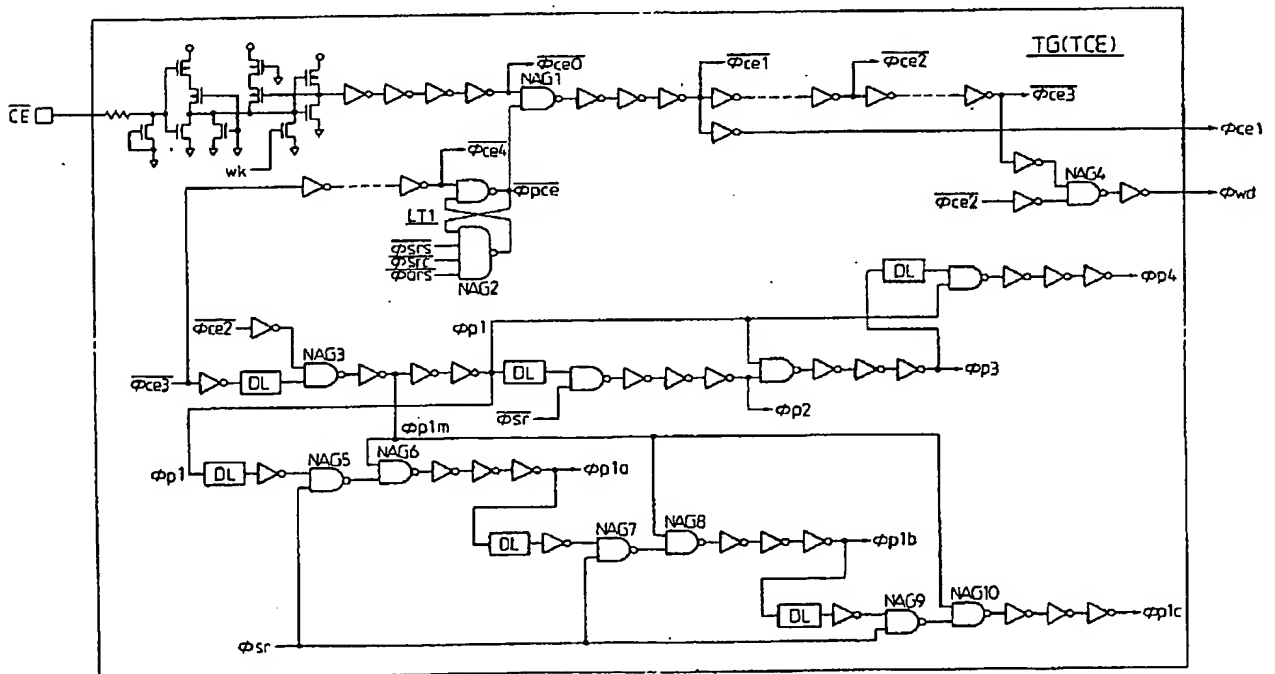
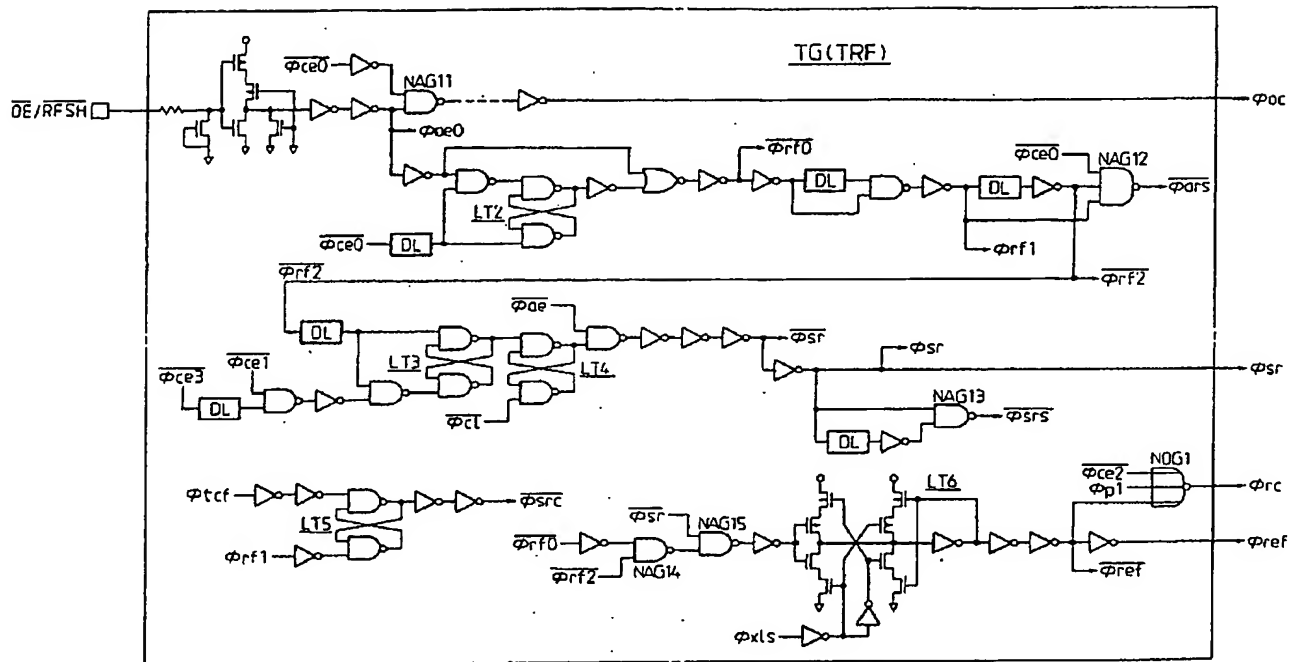


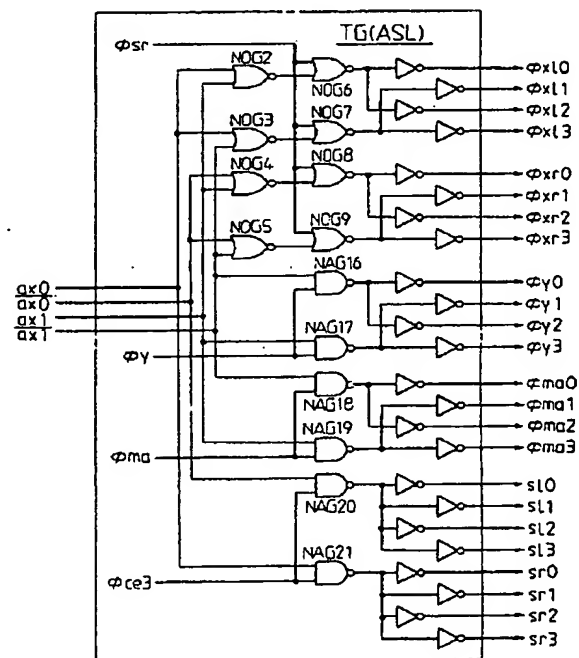
図 6



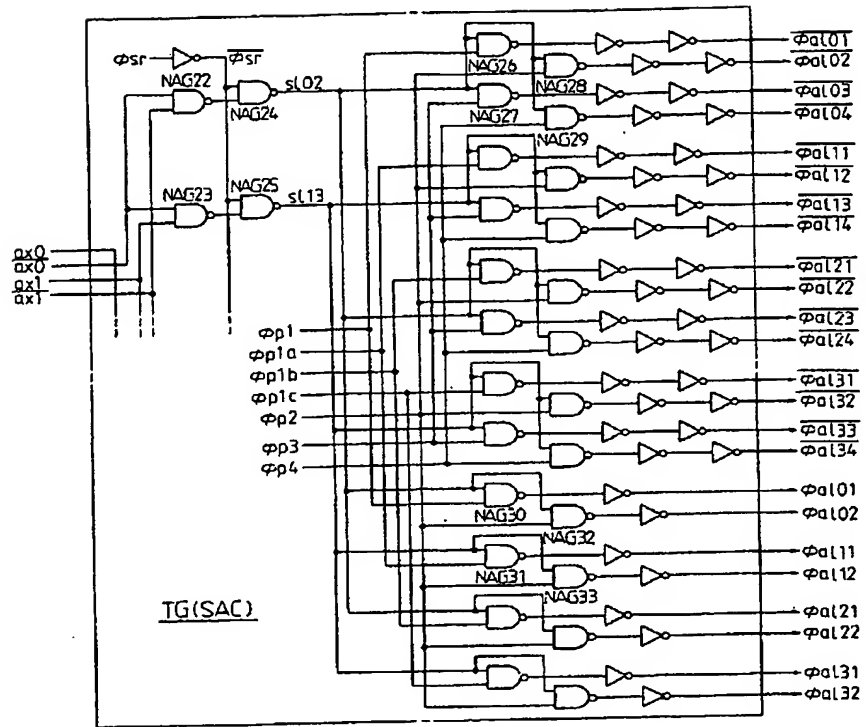
第 7 図



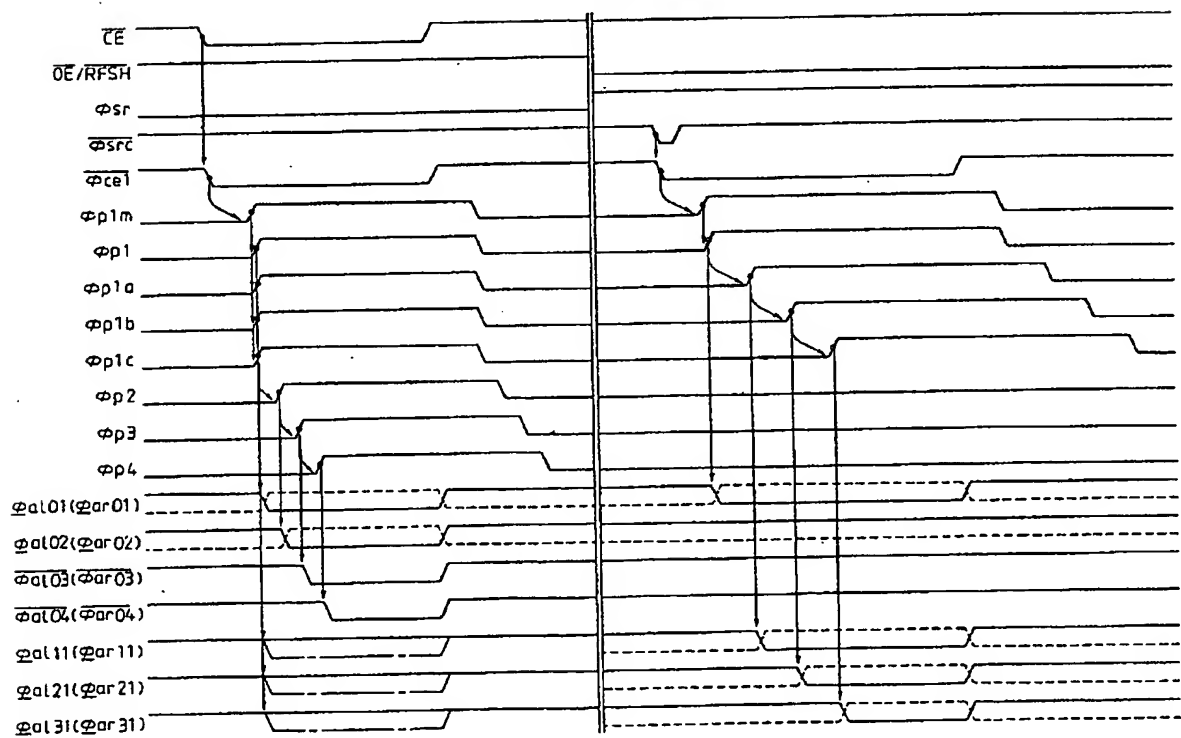
第 8 図



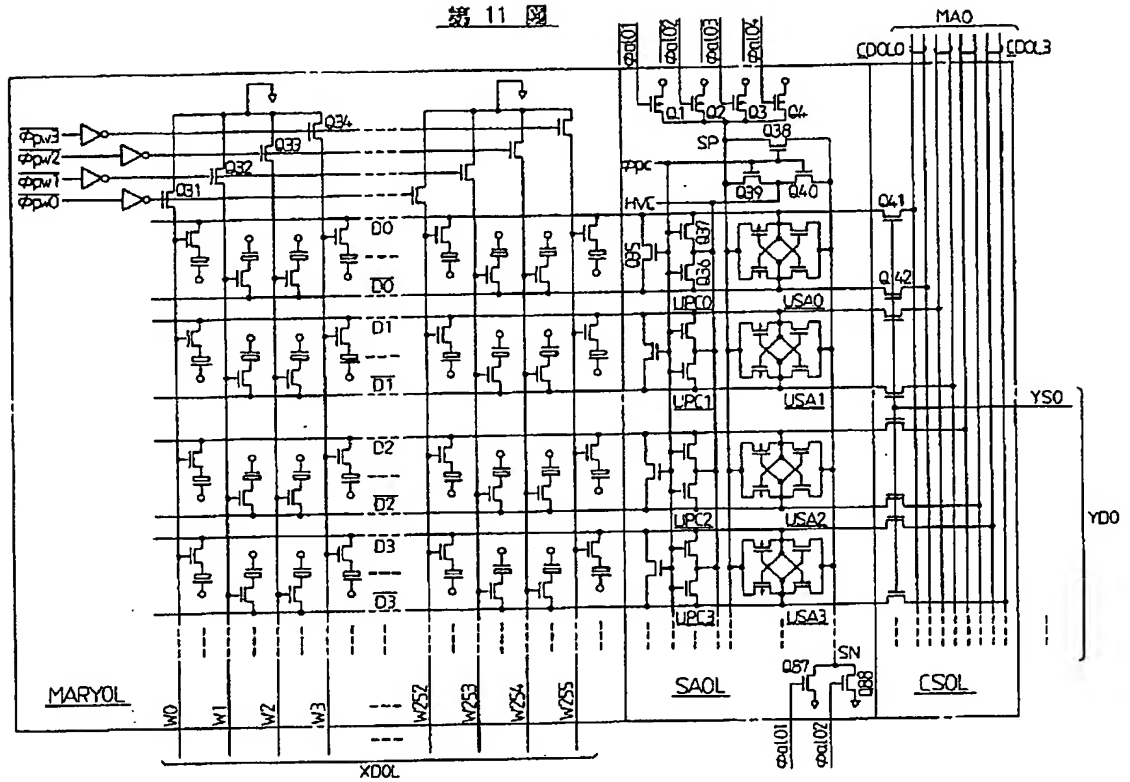
第 9 図



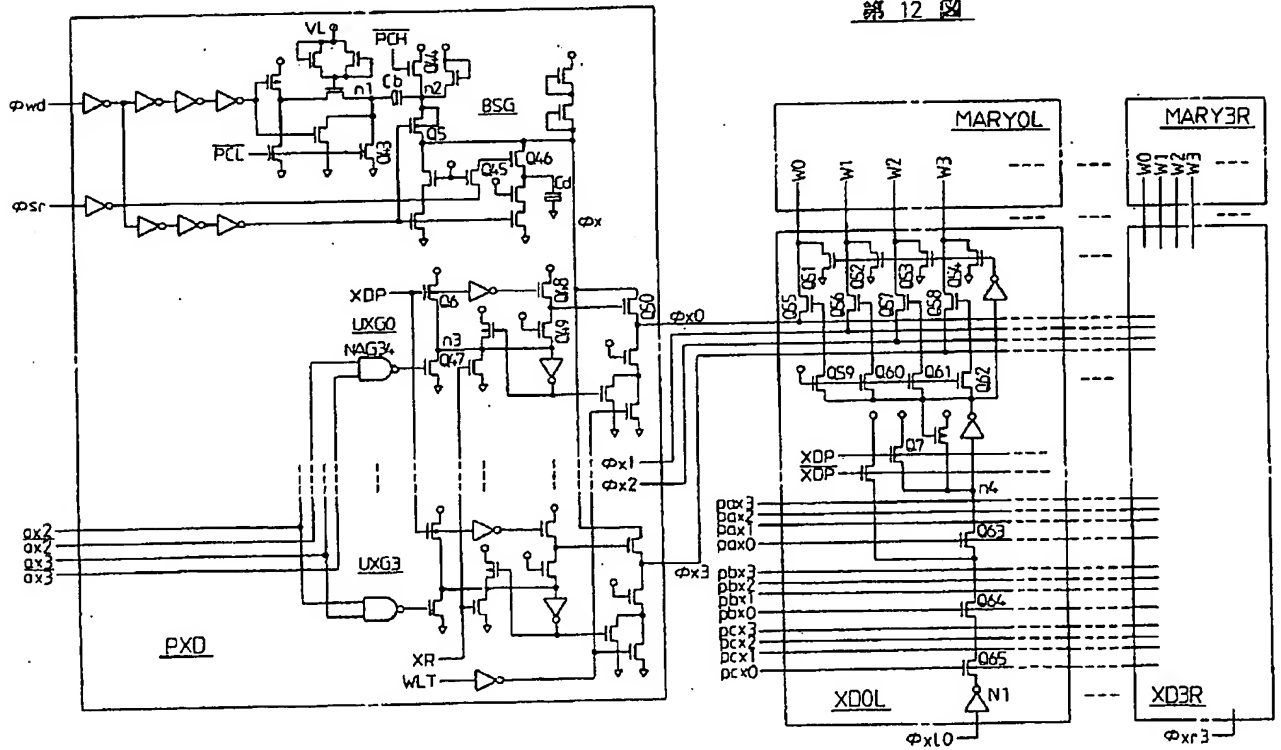
第 10 図



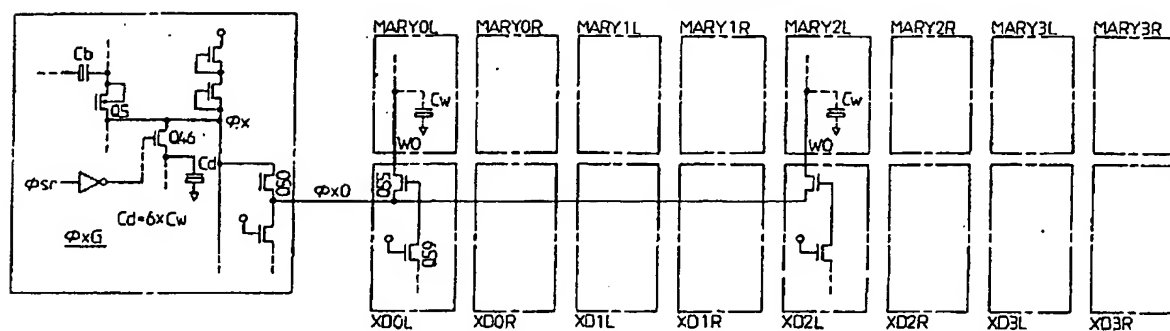
第 11 図



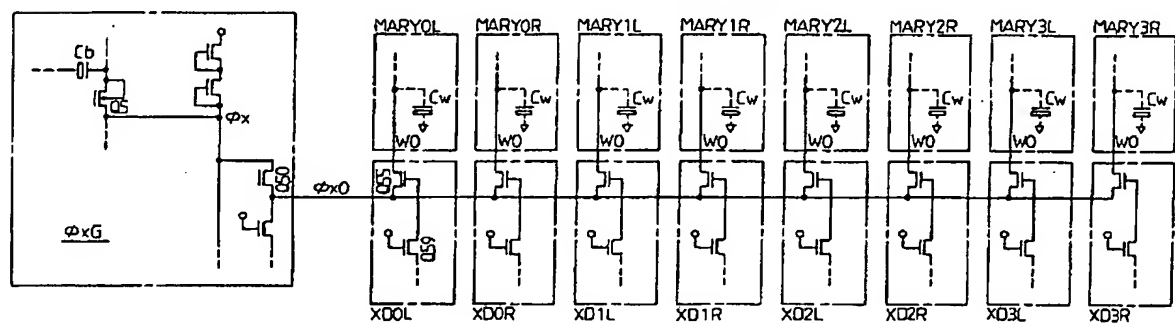
第 12 図



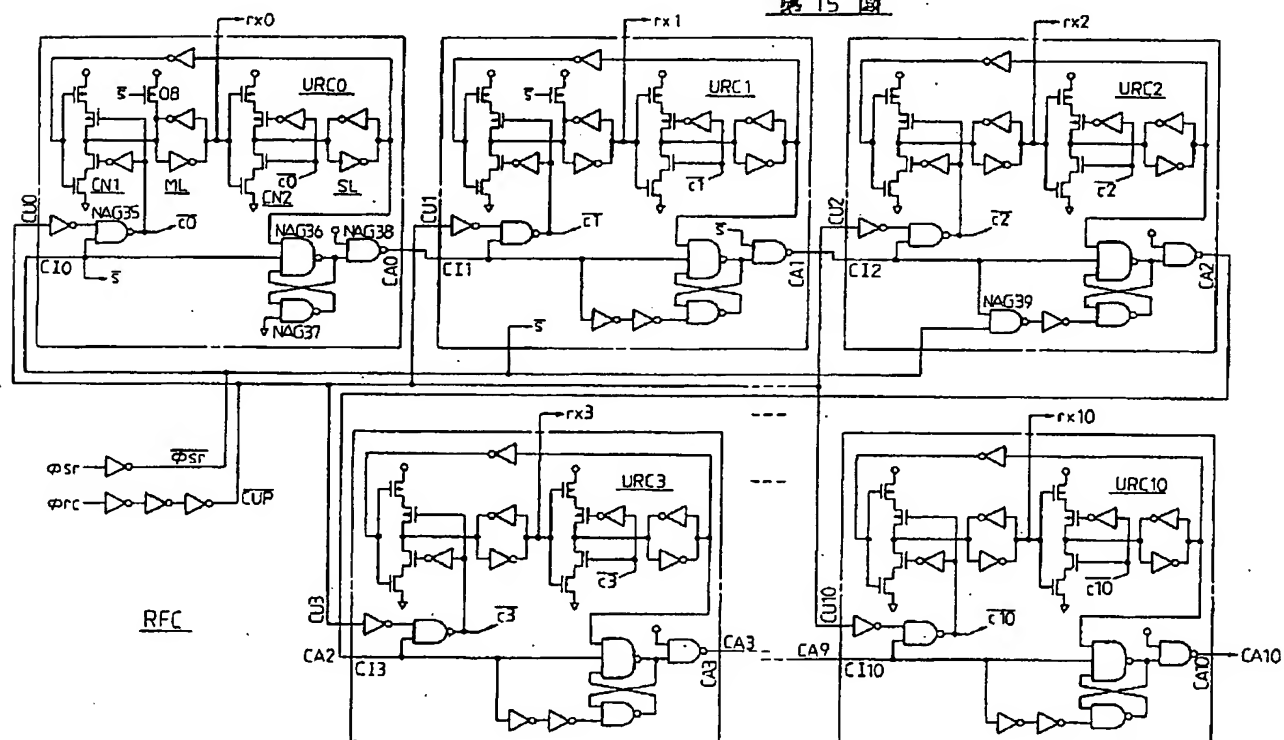
第 13 図



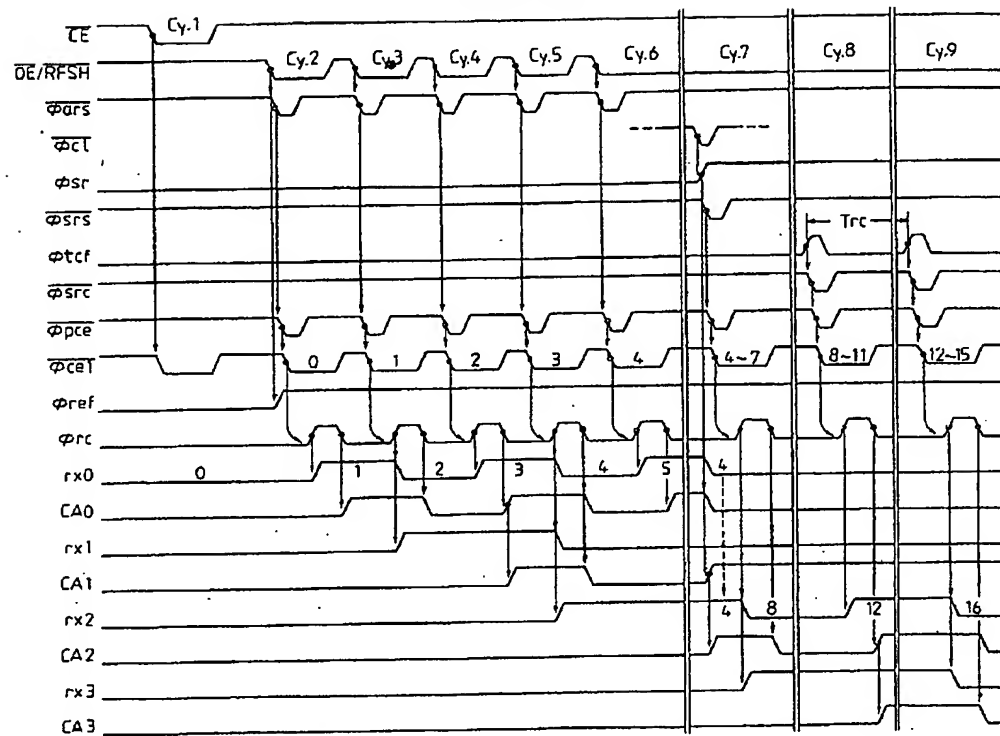
第 14 図



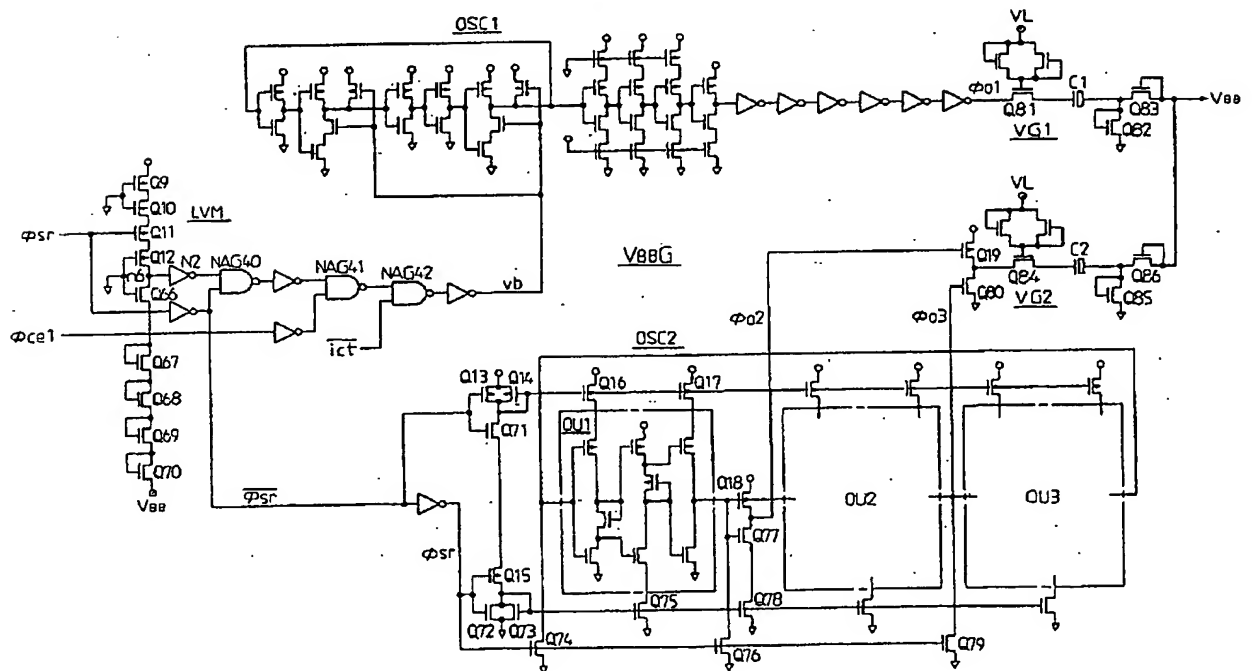
第 15 図



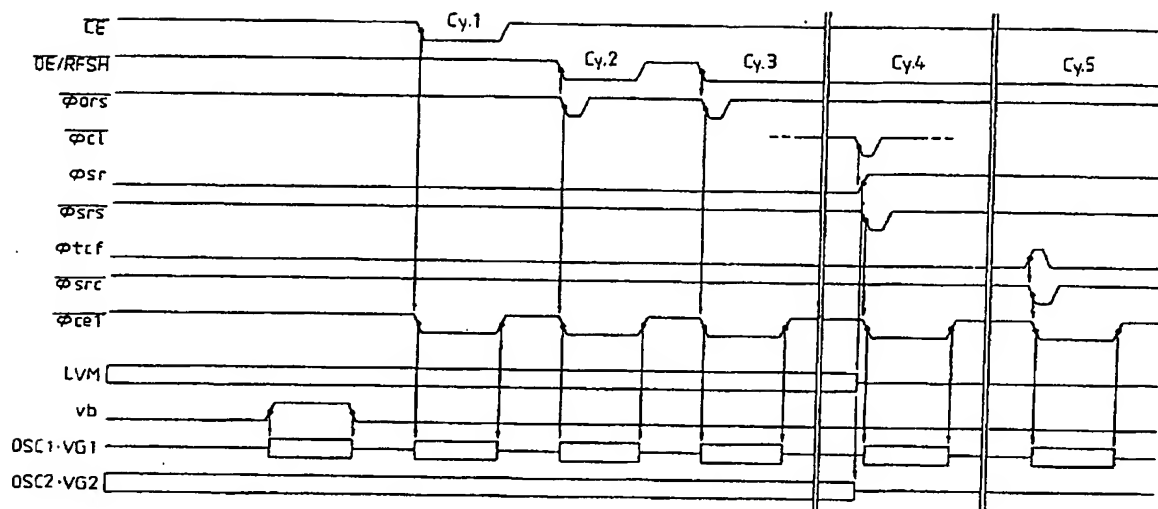
第 16 図



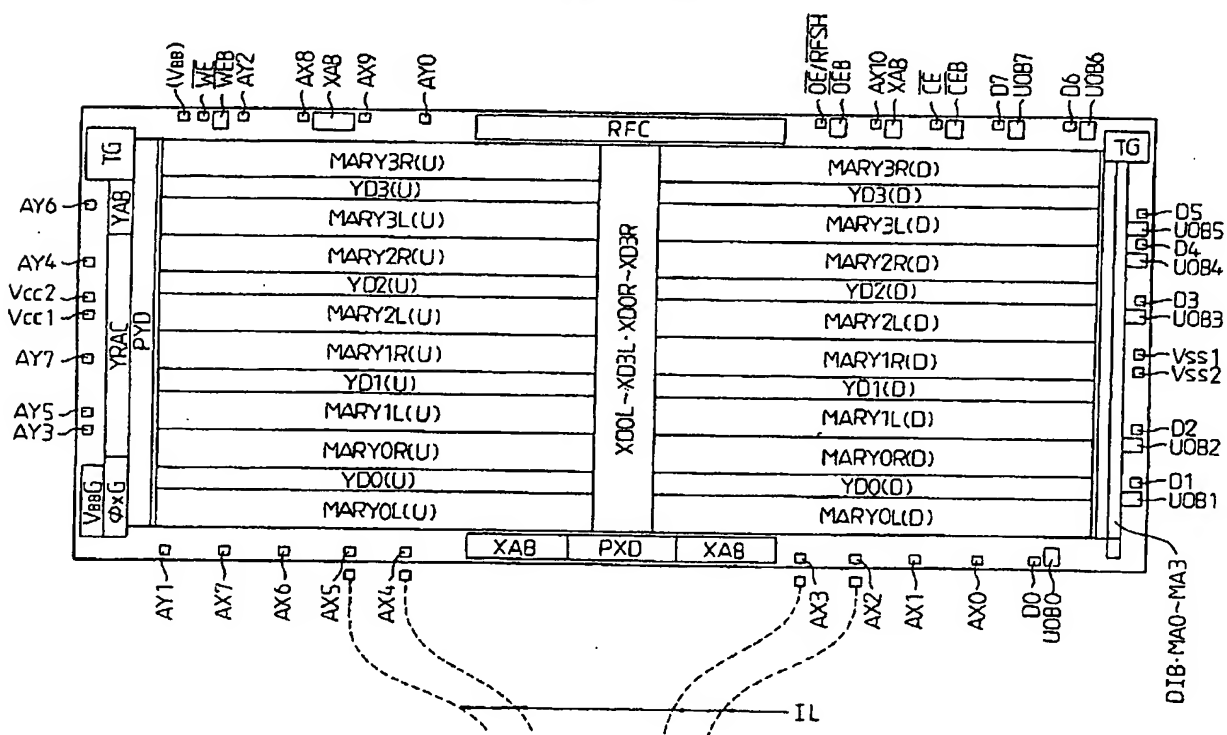
第 17 図



第 18 题



第 19 圖



第1頁の続き

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

G 11 C 11/401  
H 01 L 27/108

8624-5F H 01 L 27/10 3 2 5 V

|      |       |     |   |
|------|-------|-----|---|
| ⑫発明者 | 新保    | 豊   | 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内          |
| ⑬発明者 | 検見崎   | 兼秀  | 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内 |
| ⑭発明者 | 尾方    | 真弘  | 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内 |
| ⑮発明者 | 久保 埜  | 昌次  | 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内 |
| ⑯発明者 | 間 仁 田 | 喜 一 | 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内 |



【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第4区分  
【発行日】平成9年(1997)2月7日

【公開番号】特開平2-187987  
【公開日】平成2年(1990)7月24日  
【年通号数】公開特許公報2-1880  
【出願番号】特願平1-8034  
【国際特許分類第6版】

G11C 11/406  
11/403  
H01L 21/8242  
27/108

【FI】

G11C 11/34 363 K 8840-5L  
371 J 8840-5L  
H01L 27/10 681 G 7735-4M

手続補正書

平成8年 1月16日

特許庁長官 殿

特許出願の表示 平成 1年特許願第 8034号

発明の名称 半導体記憶装置



補正をする者

事件との関係 特許出願人

住 所 東京都千代田区神田駿河台4丁目6番地

名 称 (510)株式会社 日立製作所

代 表 者 金 井 祐

住 所 東京都小平市上水本町5丁目20番1号

名 称 日立超エル・エス・アイ  
エンジニアリング株式会社

代 表 者 鈴木 仁 一 郎

代 理 人 〇181

住 所 東京都三鷹市井の頭5丁目18番8号

氏 名 〇422-48-5761 FAX0422-47-3936  
(8193) 井國土 徳若 光政



補正の対象 明細書の「特許請求の範囲」及び「発明の詳細な説明」の各欄

補正の内容 1. 特許請求の範囲を別紙の通りに補正する。

2. 明細書第11頁第5行「いる。」の後に、以下の文章を追加する。

「また、動作状態に応じてメモリセルに対するセンス増幅器の動作を制御することは、特開昭62-136699号公報に記載されているが、動作状態に応じたリフレッシュ周期を含む制御については記載されていない。」

## 別 紙

## 特許請求の範囲

1. ワード線とデータ線の交差点に設けられたダイナミック型メモリセルを有し  
選択的に動作状態とすることができ複数のメモリアレイと、リフレッシュ動作  
を実行すべきアドレスを順次指定するリフレッシュアドレスカウンタとを備  
える半導体記憶装置であって、  
書き込み及び読み出しモードにおいては前記複数のメモリアレイの一部が動  
作状態とされ、  
前記リフレッシュアドレスカウンタを自律的に更新し、対応する複数のアド  
レスに関する前記メモリセルのリフレッシュ動作を実行するセルフリフレッ  
シュモードにおいて、  
前記複数のメモリアレイを実質的に一斉に動作状態として前記メモリセルの  
リフレッシュを行う第1の期間と、  
前記複数のメモリアレイを実質的に一斉に非動作状態とする第2の期間とを  
有することを特徴とする半導体記憶装置。
2. 上記メモリアレイは、前記データ線のそれぞれに対応して設けられる複数の  
単位増幅回路と、  
第1の共通ソース線を介して上記複数の単位増幅回路に第1の電源電圧を供  
給する並列に接続された複数の第1の駆動MISFETと、  
第2の共通ソース線を介して上記複数の単位増幅回路に第2の電源電圧を供  
給する並列に接続された複数の第2の駆動MISFETとを含むものであって、  
上記複数の第1及び第2の駆動MISFETは、上記書き込み及び読み出し  
モードにおいてそれぞれ時間を置いて順次オン状態とされ、上記セルフリフ  
レッシュモードの上記第1の期間ではその一部がオン状態とされるものであるこ  
とを特徴とする特許請求の範囲第1項記載の半導体記憶装置。
3. 上記セルフリフレッシュモードの上記第1の期間では、各メモリセルごとに  
設けられた上記複数の第1及び第2の駆動MISFETは、各メモリセルごと  
にそれぞれ所定の時間を置いて順次オン状態とされることを特徴とする特許請  
求の範囲第2項記載の半導体記憶装置。

4. 上記複数の第1の駆動MISFETの数は上記複数の第2の駆動MISFET  
の数に比較して多くされるものであることを特徴とする特許請求の範囲第2  
項又は第3項記載の半導体記憶装置。
5. 上記半導体記憶装置は、上記セルフリフレッシュモードが識別される当初に  
において1回のリフレッシュ動作を実行し、その後所定の間隔をおいて周期的に  
リフレッシュ動作を実行するものであって、かつ、上記セルフリフレッシュモ  
ードにおいて周期的にリフレッシュ動作を開始した上記リフレッシュアドレ  
スカウンタを更新するためのセルフリフレッシュタイマー回路を含むものであ  
ることを特徴とする特許請求の範囲第1項から第4項のいずれかに記載の半導  
体記憶装置。
6. 上記半導体記憶装置は、さらに、基板バックバイアス電圧をモニタし上記セ  
ルフリフレッシュモードにおいてその動作が選択的に停止されるレベル検出回  
路と、上記レベル検出回路の出力信号が有効とされるときあるいは上記セルフ  
リフレッシュモードにおいてリフレッシュ動作が実行されるとき選択的に動作  
状態とされ上記基板バックバイアス電圧を形成する第1の電圧発生回路と、上  
記基板バックバイアス電圧を形成し上記セルフリフレッシュモードにおいてそ  
の動作が選択的に停止される第2の電圧発生回路とを含む基板バックバイアス  
電圧発生回路を具備するものであることを特徴とする特許請求の範囲第1項か  
ら第5項のいずれかに記載の半導体記憶装置。
7. 上記第1の電圧発生回路は、上記第2の電圧発生回路に比較してその電流供  
給能力が大きくされることを特徴とする特許請求の範囲第6項記載の半導体記  
憶装置。
8. 指定されるワード線が択一的に選択状態とされることによって選択的に動作  
状態とされかつ第1の動作モードにおいて所定数ずつ同時に動作状態とされ第  
2の動作モードにおいて上記所定数より多い他の所定数ずつ同時に選択状態と  
される複数のメモリアレイと、  
所定のブースト容量を含む回路の電圧電位より高い所定のブーストレベルと  
されるワード線選択タイミング信号を形成する信号発生回路と、  
上記メモリアレイに対応して設けられ対応する上記メモリアレイの指定され

るワード線に上記ワード線選択タイミング信号を択一的に伝達する複数のXアドレスデコードとを具備するものであって、

上記複数のXアドレスデコードに上記ワード線選択タイミング信号を伝達するための信号線と回路の接地電位との間に、上記第1の動作モードにおいて選択的に結合されるダミー容量が設けられることを特徴とする半導体記憶装置。

9. 上記ダミー容量は、上記第1の動作モードにおいて同時に選択状態とされる  
ワード線の寄生容量値と、上記第2の動作モードにおいて同時に選択状態とさ  
れるワード線の寄生容量値との差に相当する静電容量値を有するものであるこ  
とを特徴とする特許請求の範囲第8項記載の半導体記憶装置。
10. 上記第1の動作モードは、書き込み又は読み出しモードであって、上記第  
2の動作モードは、セルフリフレッシュモードであることを特徴とする特許請  
求の範囲第8又は第9項記載の半導体記憶装置。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**